

050405

(12)特許協力条約に基づいて公開された国際出願

10/512, 102

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2003年11月6日 (06.11.2003)

PCT

(10) 国際公開番号
WO 03/091817 A1

(51) 国際特許分類7:

G05F 1/56

(21) 国際出願番号:

PCT/JP03/01655

(22) 国際出願日: 2003年2月17日 (17.02.2003)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特願2002-121231 2002年4月23日 (23.04.2002) JP

(71) 出願人(米国を除く全ての指定国について): ナノパワーソリューション株式会社 (NANOPOWER SOLUTION CO., LTD.) [JP/JP]; 〒170-0005 東京都 豊島区 南大塚3-32-9 西島ビル Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 秋田 晋一 (AKITA,Shinichi) [JP/JP]; 〒170-0005 東京都 豊島区 南大塚3-32-9 西島ビルナノパワーソリューション株式会社内 Tokyo (JP).

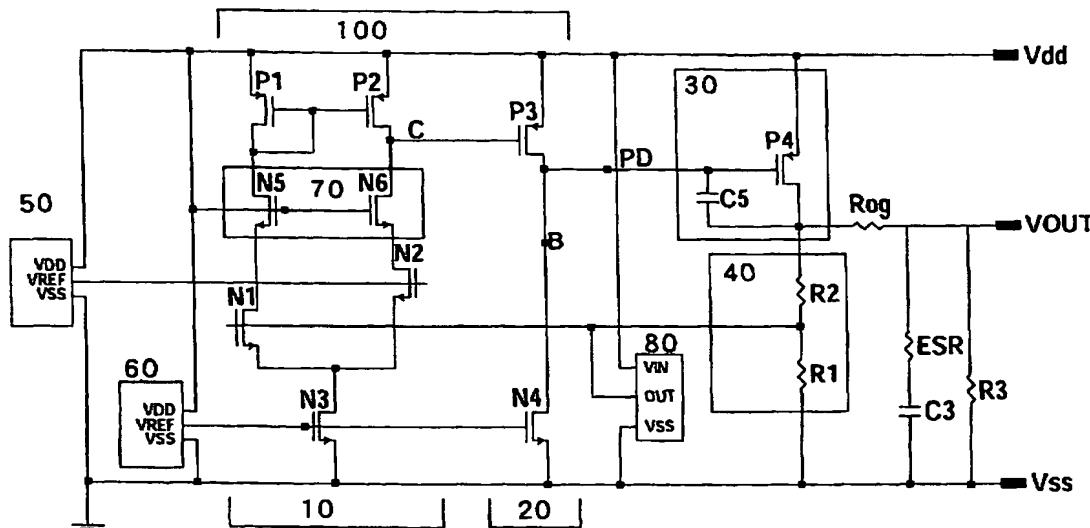
(74) 代理人: 矢野 敏雄, 外 (YANO,Toshio et al.); 〒105-0003 東京都 港区 西新橋2-7-4 SKビル10F ドクトル・ゾンデルホフ法律事務所 Tokyo (JP).

(81) 指定国(国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL,

[統葉有]

(54) Title: NOISE FILTER CIRCUIT

(54) 発明の名称: 雑音除去回路



WO 03/091817 A1

(57) Abstract: A noise canceling circuit much improved in stability and in the capability of filtering out ripple noises even when operating current and idling current are made very small without increasing the gain of an error amplifier. In a stabilized voltage output apparatus including the error amplifier and a reference voltage source, the error amplifier has a first type input section and a second type load section, and a noise suppressing section consisting of sets of first type semiconductor elements is disposed between the input section and the load section. The sets of semiconductor elements of the noise suppressing section are constituted of different dimensions to suppress the power source voltage dependency of the output voltage.

(57) 要約: 誤差増幅器の利得を大きくすることなくかつ動作電流とアイドリング電流をごく微小にしても安定度、リップル雑音除去能力を大幅に向上した雑音キャンセル回路を提供する。誤差増幅器と基準電圧源を含む安定化電圧出力装置において、前記誤差増幅器は第1型の入力部と、第2型の負荷部とを有し、前記入力部と負荷部との間に第1型の半導体素子の組からなる雑音抑圧部が配置され、当該雑音抑圧部の素子の組が異なる寸法にて構成し、出力電圧の電源電圧依存性を抑制した。



TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国(広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告書
- 補正書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドスノート」を参照。

明細書

雑音除去回路

技術分野

本発明は主として直流安定化電源装置におけるリップル雑音除去に関するものである。特に低動作電流でかつ高いリップル雑音除去率を達成する電源回路を提供するものである。

従来の技術

携帯電子機器に限らずその他あらゆる電子装置には直流安定化電源電圧が必ず複数個内蔵されている。デジタル回路用、高周波回路用、アナログ回路用などには、それぞれの用途に適した特性の電源回路が配置されている。なかでも携帯電話器の場合には、送信部の電源のリップル除去率が悪いと通話明瞭度が劣化するので可能な限り高いリップル除去率が求められる。また、デジタルコード化された無線通信手段であっても、送受信はキャリア信号をアナログ的に変調復調するので電源リップル雑音はエラー率に悪影響をもたらす。こうしたリップル雑音除去に関しては、例えば-80 dBのリップル除去率を達成するためには十分な動作電流数100 μ Aを流せば可能であり、後述するようにいくつか発明が提案されているが、低動作電流を大幅に減らしてかつ高リップル除去率を実現した提案は存在しなかった。

現在、世界中で動作している電子装置の数は数十億の単位と推定される。ちなみに一つの電源回路が200 μ Aで動作しているとすると50億個で100万アンペアの電流を流していることになり、3Vで動作しているとすると3000 KWの電力が消費されている計算になる。以下、図面を参照しつつ、従来技術及び従来技術下での回路理論について

考察する。

(1) 従来回路の例

第1図、第2図は従来から用いられているCMOS型安定化電源回路のブロック図、回路図である。第1図において、1、2は電圧供給端子を示し、50は基準電圧 V_{ref} を発生する基準電圧発生回路であり、60は動作電流を定めるためのバイアス電流を発生する回路であり、100は基準電圧 V_{ref} に対する誤差電圧を增幅する誤差増幅回路である。当該誤差増幅回路100は2段で構成され、差動回路10がその第1段目、位相反転増幅器20が第2段目である。40は出力電圧の変動を検出し出力を分圧する回路である。この従来の安定化電源回路の具体例が、第2図の回路図である。基準電圧発生回路50は、誤差増幅器の入力端子N1に接続され、出力分圧回路40は、誤差増幅器の入力端子N2に接続されている。

第3図は第2図の従来例回路における直流特性を示すグラフであり、出力電圧 V_{out} と基準電圧 V_{ref} の電源電圧 V_{dd} 依存性を示している。横軸に電源電圧 V_{dd} をとり、31は動作電流、32は出力トランジスタのゲート電圧、33は出力電圧 V_{out} 、34は基準電圧 V_{ref} を示している。

第4図は第3図を10000倍に拡大したグラフであり、41が出力電圧 V_{out} 、42が基準電圧 V_{ref} をそれぞれ示す。第4図中の42に見られるように一般的には基準電圧源 V_{ref} は正の電源電圧係数を持ち、電源電圧が上がるとその出力も増加する性質を持っている。これはリップル除去には非常に具合が悪く、低域のリップル除去率は基準電圧の電源電圧依存係数が大きく影響することとなる。電源電圧係数をゼロにすることは不可能ではないが、トリミングや特殊な電圧係数素子を用いる必要があるので広く普及している半導体製造方法では非常に高価な

ものになってしまう。

(2) 従来回路の理論式

次に、出力電圧の理論検討をする。出力電圧 V_{out} は次の式で表される。

$$V_{out} = V_{ref} * (A_v / 1 + K * A_v) + S_o \quad (1)$$

ここで、 V_{ref} は基準電圧、 A_v は誤差増幅器の電圧利得、 K は分圧回路の分圧比、 S_o は誤差増幅器のシステムオフセット電圧を示す。

基準電圧 V_{ref} は電源電圧 V_{dd} の変動の影響を受けるのでその変化率は、 V_{ref} の電源電圧係数 $\Delta V_{ref} = (\delta V_{ref} / \delta v) / K$ で表される。

K は出力分圧抵抗の分圧比なので $K < 1$ であり、 V_{ref} に乗ってきたりブル ΔV_{ref} はフィルターで除去しないと高い PSRR (Power Supply Rejection Ratio)。電源電圧 V_{dd} が 1 V 变化したときに出力がどれだけ変化したかの比率。例えば、出力が 1 mV 变化したとすれば、 PSRR は、 $1 \text{ mV} / 1 \text{ V}$ 即ち -60 dB となる。) が実現できないが、 V_{ref} のリップルは非常に低い周波数から高い周波数まで含まれるので、フィルターには大きな時定数が要求され、全部の周波数帯域を除去するフィルターは半導体同一チップ上の集積化は実現できていない。

第4図で V_{ref} は V_{dd} が 4 V ~ 5 V (0 dB) の間で約 $10 \mu\text{V}$ (-100 dB) 増加している。 V_{out} は $90 \mu\text{V}$ (-82 dB) 増加している。

K は出力分圧回路の分圧比で、次式で示される。

$$K = R_1 / (R_1 + R_2)$$

ここで、 R_1 、 R_2 は出力分圧回路の抵抗であり、ポリシリコンで製造すれば V_{dd} の影響を無視できるので電源電圧 V_{dd} の変化率は考え

ないことにする。Kの値は出力電圧を決める分圧値であり V_{ref} は 0.2 から 0.8 が一般的なので極端に小さな値や大きな値は設定できないので、リップル低減には限定的にしか寄与しないといえる。

(1) 式の S_o はシステムオフセット電圧を表していて、回路構成上不可避的に発生するもので、従来採用されなかった考え方で実験値からその存在を仮定して導入した。経験的に V_{dd} の影響を受けると知られていてたいていはプラスの係数を有するがマイナス傾斜に出来ると重要な働きをすることを式(1)は示している。

ここで、 S_o の電源電圧係数は $\Delta S_o = \delta S_o / \delta V$ で表される。

A_v は回路全体の增幅率でオープンループ利得があり、当然電源電圧 V_{dd} 依存性があるので変化率は次の微分式で表される。

$$\Delta A_v = (\delta A_v / \delta V) / (1 + K A_v)^2 \text{ となる。}$$

ちなみに $A_v = 10000$ 倍 (80 dB)、 $K = 0.5$ 、電源電圧が 1V 上昇すると 10000 倍から 12000 倍に変化し、 $\Delta A_v = 2000$ 倍、 $\delta V = 1V$ となり

$$\Delta A_v = 80 \times 10^{-6}$$

$V_{ref} = 1.2V$ のときリップル成分は $96 \mu V$ (-80.5 dB) に相当して無視できるレベルではないことがわかる。

以上の理論的検討から、合計の V_{out} のリップル成分は下記(2)式で示されることが分かる。

$$\Delta V_{out} = \Delta V_{ref} + V_{ref} * \Delta A_v + \Delta S_o \quad (2)$$

(3) 安定度の検討

次に動作安定度に関し各增幅段の利得と極点、ゼロ点の周波数理論式を検討する (ディビットエージョン、ケンマーティン (David a. JOHNS and Ken MARTIN) 著、「アナログ インテグレーテッド サーキット デザイン (ANALOG INTEGRATED CIRCUIT DESIGN)」)。

RATED CIRCUIT DESIGN)」、(米国)、第1版、ジョンウィリー&サンインク (JOHN WILEY & SONS INC)、1997年、p 223-224を参照)。

まず、各增幅段の利得を考察する。第2図において、1段目10、2段目20、出力回路30も増幅作用を持つので3段目の増幅回路として各段の電圧利得をそれぞれ $A_v 1$, $A_v 2$, $A_v 3$ すると、

$$A_v = A_v 1 * A_v 2 * A_v 3 \text{ であり、}$$

i 番目の増幅段の利得を $A_v i$ とすると、 $A_v i$ は下記(3)式で表される。

$$A_v i = G_m i * Z_o i \quad (3)$$

ここで、 $G_m i$ 、 $Z_o i$ は i 段目の増幅器のコンダクタンスと出力インピーダンスであり、

$Z_o i = R_{p i} // R_{n i} // C_{o i}$ である ($R_{p i} // R_{n i} // C_{o i}$ は、Pトランジスタ i の出力抵抗、Nトランジスタ i の出力抵抗、出力 i の容量分の並列インピーダンスを表す)。 $R_{p i}$ は、下記(4)式で表され、 $G_m i$ は、下記(5)式で表される。

$$R_{p i} = \alpha (L_i / I_{d i}) \sqrt{(V_{d g i} + V_{t p i})} \quad (4)$$

ここで、 α は補正係数で大体 $5 \times 10^6 \sqrt{V/m}$ である。

$$G_m i = \sqrt{2 \mu p C_{o x} (W_i / L_i) I_{d i}} \quad (5)$$

μp 、 $C_{o x}$ 、 W_i 、 L_i 、 $I_{d i}$ はそれぞれP F E Tのキャリア移動度、ゲート酸化膜の単位容量、トランジスタ i のチャネル幅、チャネル長、ドレイン電流を示している。

次に周波数特性を考察する。

1段目、2段目、3段目(出力回路を3段目の増幅回路とする)の増幅回路はそれぞれ $F_{p i}$ の周波数で極点を持つ。

$$F_{p i} = 1 / 2 \pi * Z_o i \quad (6)$$

各段の出力は周波数 F_{p_i} で增幅度が -6 dB / オクターブで減衰し始める。

リップル雑音除去率に関して、前述の式 (2) から、 V_{out} のリップル成分を小さくするためには、增幅率 A_V が大きければ大きいほどよいことがわかる。(5) 式からわかるように回路利得を高くするためにはドレイン電流 I_{di} をある程度大きくすれば効果があることが推定できる。一方、式 (4) はドレイン電流 I_{di} を小さくすると出力インピーダンスがあがって利得が上昇することを示している。また式 (4) と (5) はドレイン電流 I_{di} を下げると極周波数が下がって、高い周波数まで利得が伸びないことを示している。

この段階では安定度やリップル除去率を考察するにはまだ不十分で周波数特性はさらにゼロ点の存在が関係する。極点周波数では利得が -6 dB / オクターブで減衰してゼロ点周波数では +6 dB / オクターブで上昇するが通常は極点周波数が低いので利得は平坦な特性を示す。

第 1 図の従来例ではもっとも大きく位相や利得の周波数特性に関与する 2 つのゼロ点がある。第一のゼロ点周波数 F_{z1} は出力平滑コンデンサ C_3 と負荷抵抗 R_3 で定まる。

$$F_{z1} = 1 / 2\pi * R_3 * C_3 \quad (7)$$

第 2 のゼロ点周波数は非常に重要である。出力トランジスタ P_4 の出力回路は集積化電源回路においては太さ 25μ から 30μ の太さの金線で接続されていて長さが 1 mm から 3 mm なら数十ミリオームから百数十ミリオームの抵抗を有する。金線の両端はアルミパッドとリード線に圧着されている部分で数十ミリオームの接触抵抗と寄生抵抗を有する。合計で $R_{og} = 100\text{ ミリオーム}$ から 200 ミリオーム の抵抗を有している。また平滑用出力コンデンサ C_3 の等価直列抵抗 E_{SR} も大きく関係する。

$$F_z 2 = 1 / 2 \pi * (R_{o g} + ESR) * C_3 \quad (8)$$

(4) ゼロ点周波数考察

C_3 は一般的には $1000 \mu F$ から $10 \mu F$ が広く利用される。 R_3 は負荷電流によって大きく変動する。例えば 10Ω から 100Ω オーム程度とする、 $R_{o g} = 200 \Omega$ オーム、 $ESR = 20 \Omega$ オームとすると、

$F_z 1 = 0.15 \text{ Hz} \sim 1.5 \text{ MHz}$ 、 $F_z 2 = 72 \text{ kHz} \sim 7.2 \text{ MHz}$ の範囲であり、 $F_z 1$ は動作中の電流に依存して大きく移動する。負荷電流が大きいときは非常に高い周波数に、無負荷状態では低い周波数に移動して位相回りが低い周波数から生ずるため、不安定状態が発生しやすい。一方、 $F_z 2$ は一度各部の値を設定すれば負荷電流には依存しない。しかし、出力平滑コンデンサーの等価抵抗 ESR は、コンデンサーの種類によって大きく変化する。即ち、ケミカルや電解コンデンサーでは数オームから数十オーム、タンタルで 1Ω から数オーム、セラミック系で数ミリオームから数百ミリオームと言われている。従って、使用するコンデンサーの種類によって動作が不安定になることがある。 $F_z 2$ は後で詳しく述べるが、ちょうど位相遅れが 180° のあたりの位相特性に影響するので安定度にとって重要な要素である。

(5) 安定度と極点周波数の具体例考察

安定化電源回路の安定度は極点周波数が互いに離れていれば安定であるとされている。例えば 10 倍づつ離れていると問題がおきないとされている。各段の極点周波数の具体例を検討してみる。

1段目の極点周波数 $F_p 1$ は、 $R_{o 1} = 300 \Omega \sim 150 \Omega$ 、 $C_{o 1} = 0.1 \sim 0.2 \mu F$ であり、 $F_p 1 = \text{数 } 100 \text{ kHz} \sim \text{数 } \text{MHz}$ 程度になる。周波数が高いので安定度に関しては、比較的問題になりにくいが、 $C_{o 1}$ が小さいので位相補償を行うための追加する容量が少なくて

済み、位相補償をかける場所として最適である。第2図において、P3のゲートドレイン間に容量と抵抗の直列回路を付加することで安定な誤差増幅器が構成できる。しかし、従来の回路ではこの位相補償は、PSRRを大きく犠牲にしてしまっていた。本発明では、位相補償を充分に行って後述のキャンセル信号発生回路においてPSRRを向上させるので充分に安定でかつ低動作電流の電源回路が実現可能となる。

2段目の極点周波数Fp2はR_{o2}=50K~100K、C_{o2}=150pF~250pFであり、Fp2=数KHz~10数KHzとなる。C_{o2}は出力トランジスタのゲート容量と追加容量C2の和である。出力電流規格つまり出力トランジスタサイズで変化するが、大きな出力トランジスタの回路では最初から大きな容量がC_{o2}に入ってしまう。動作中はほぼ固定しているが、次に述べるFp3との関係で問題になる。

最終段の極点周波数Fp3はR_{o3}が負荷電流によって大きく変化するので動作中に大きく変動する。無負荷のときはR_{o3}が出力分圧抵抗と等しくなって、出力分圧抵抗が大きいと数百Hzまで下がり、低い周波数から位相が回るので位相余裕が少なくなって不安定になる恐れが出てくる。そのために出力分圧抵抗にアイドリング電流を流しておいてこれを回避する。このことが回路電流を極端に低減できない理由の1つである。

極点周波数Fp3は、大きな電流を引いたときは150KHzまで上昇する。このとき2段目の極点周波数Fp2に接近してかつ利得が大きいと動作が不安定なるのでFp2をずらす必要が生じる。Fp2を高くすることはこのままの回路構成では不可能なので従来はC2を増加してFp2を下げる対策が一般的であった。しかしこの方法はP4のゲートに数pFから数10pFのコンデンサを付加するので電源リップル雑音が

p_d から V_{out} に抜けてしまい、リップル雑音除去が犠牲になることが避けられなかった。さらにパルス的な変化への応答にさいして、付加されたコンデンサの充放電をすばやく行うために出力トランジスタ P 4 を駆動する P 3 には十分な動作電流を流しておく必要もあった。

このように従来の回路構成では、良好なリップル雑音除去率（例えば 10 KHz で -80 dB 以上の特性）および良好な安定度を得るために十分な動作電流とアイドリング電流を流す必要があることが理論式からも推定される。

(6) 従来回路のシミュレーション特性

第 5 図と第 6 図は、従来の回路において、動作電流を大きくした場合と減らした場合の利得位相-周波数特性および P S R R 特性をシミュレーション結果のグラフを示している。5 1, 5 2, 5 3 は V_{out} の利得特性を示し、5 4, 5 5, 5 6 は位相特性を示し、6 1, 6 2, 6 3 は P S R R 特性を示している。5 1, 5 4, 6 1 は動作電流が 100 μ A 以上の時、5 2, 5 5, 6 2 は動作電流が 2 μ A 以下の時をそれぞれ示す。位相余裕度は回路の安定度を測る指標であり、利得が 1 の時の 180 度からの位相差で定義される。従って、利得 1 の周波数で 180 度位相から位相が 40 度以上離れていれば安定であり発振されないとされている。利得余裕度も回路の安定度を測る指標であり、出力信号の位相が 180 度遅れた時の利得の減衰割合で定義される。180 度位相が遅れたときの周波数で利得が 12 dB 以上減衰していれば安定であり、発振されないとされている。以下では、位相余裕度について検討を行う。

第 5 図では 5 4 が 0 dB を横切る周波数 400 KHz 付近で位相余裕が約 50 度で十分な余裕がある。6 1 は動作電流が十分大きいときの P S R R 特性で、良好な P S R R - 90 dB が得られていることを示して

いる。

ところが 52 と 55 は 52 が 0 dB の時に 55 はすでに 180 度を過ぎていて、55 が 180 度を横切る周波数 10 KHz 付近で 52 はまだ十分な利得 40 dB を有していてこの付近の周波数で発振することを示している。つまり従来の回路では動作電流を減らしていくと位相の回りが低い周波数からおきて利得も下がらず、安定動作できなくなることを示してしている。

特性曲線 53, 56, 62 は動作電流を $2 \mu A$ 以下に減らした時、C3 を $100 \mu F$ と大きくして、位相特性を改善して安定度を高めた回路の特性である。C3 を大きくしたので第 3 極点 F_{p3} が大幅に下がって利得が 20 dB 程度低下している。第 2 ゼロ点周波数 F_{z2} は大きな C3 のために 10 KHz と 100 KHz の間に設定されて位相遅れを抑えて安定度を大きく改善している。53 の利得 0 dB のとき 56 は位相余裕約 50 度があることを示している。このように極点とゼロ点を調整すれば従来の回路方式でも、動作電流を大幅に下げて安定度を確保して安定化電源回路を作ることは可能であるが、C3 に大きな容量値が必要なので小型機器には採用できないことと、結果として PSRR は大幅に低下してしまう問題がある。第 6 図の 62 は 53, 56 に対応する PSRR 特性で 61 に比べて 10 KHz 付近で約 40 dB 以上も特性が劣化していることを示している。

63 は第 2 図における従来例の回路で動作電流を $2 \mu A$ 以下にした場合の PSRR 特性を比較のために示す。2 段増幅構成なので利得が不足して良好な特性が得られていない事を示している。

以上の考察から、従来の回路方式では動作電流を十分大きくしないと、良好なリップル除去率は達成できなかったことが理解される。

(7) 先行技術内容の分類

ところで、リップル雑音除去については携帯電話や無線ＬＡＮの市場拡大に応じて数多くの提案がなされてきた。これらは、以下の5分類に大別される。

(分類1) 極点ゼロ点周波数の最適化と利得増大による方法(例えば米国特許第5631598号明細書、米国特許第6304131号明細書、特開2001-195138号公報、特開2000-284843号公報、特開平4-263303号公報、特開平5-35344号公報参照)。

(分類2) 基準電圧源と誤差増幅器を自分の安定化電圧で動作させる方法(例えば米国特許第5889393号明細書、特開平5-204476号公報参照)。

(分類3) 極点ゼロ点周波数を負荷状態で適応的に制御する方法(例えば米国特許第6246221号明細書、特開2000-47738号公報参照)。

(分類4) リップルフィルターで除去する方法(例えば特開平8-272461号公報、米国特許5130579号明細書、米国特許4327319号明細書参照)。

(分類5) リアクトルトランスでキャンセルする方法(例えば米国特許5668464号明細書、特開2001-339937号公報参照)。

発明が解決しようとする課題

分類1に係る発明は近年最も多く提案されているもので、リップル除去特性が非常に優れている。しかしながら電流増幅器を追加するので素子数が増加すること、及び基本的には前述の従来理論の範疇なので動作電流を激減させることは困難であるという問題は残っている。

分類2に係る発明は起動時にもとの電源から自分で安定化した安定化出力に切り替える瞬間に不安定状態が必ず出現して動作開始から出力が

安定するまでの時間が長くなってしまうという点が問題である。近年の携帯電話などの応用では電力を節約するために電源が間欠的に動作しているので起動に時間がかかるのは致命的である。また誤差増幅器と出力トランジスタの間に正確なレベルシフト回路が必要になるので動作電流がそこでも増加することになり、低消費電流は実現出来ない。

分類3に係る発明は、分類1と同様、誤差増幅器に設計理論は従来のままなので動作電流は減らせないことと、負荷電流は変化の激しい非常に雑音が多く含まれる性質がありそれをフィードバックするとリップル除去特性を阻害してしまうという問題を内在している。

分類4に係る発明はリップル成分が数Hzから高周波領域までの周波数帯域を含み、特に低い周波数のリップルをフィルタで取り除くためには大きな時定数が不可欠であり、半導体基板上に集積化するのは大きなコスト上昇なしには実現不可能である。

分類5に係る発明は大きなリアクトルトランスは集積化不可能なので応用範囲が限られてしまう。

そこで、本発明では、上記の諸問題を解決すべく、動作電流を従来の100分の1以下に減らしても諸特性が劣化しないでかつ、回路も複雑化しない、設計理論も単純で明快な、安定度も優れたリップル除去回路を提供することを技術的課題とするものである。

課題を解決するための手段

本発明では、上記の課題を達成するための技術的手段として、基準電圧を発生する基準電圧発生手段と、動作電流を定めるためのバイアス電流を発生するバイアス電流発生手段と、前記基準電圧に対する誤差電圧を増幅する誤差増幅手段と、電源回路の出力を生成する電圧電流输出手段と、出力電圧変動を検出する出力分圧手段とを有する雑音除去回路であって、前記誤差増幅手段は第1型の半導体素子の組で構成される入力

部と、第2型の半導体素子の組で構成される負荷部とを有し、前記入力部と負荷部との間に第1の型の半導体素子の組からなる雑音抑圧部が配置され、当該雑音抑圧部の素子の組が異なる寸法にて構成されることにより出力電圧の電源電圧依存性が制御されることに特徴を有する雑音除去回路としたものである。

また、基準電圧を発生する基準電圧発生手段と、動作電流を定めるためのバイアス電流を発生するバイアス電流発生手段と、前記基準電圧に対する誤差電圧を增幅する誤差增幅手段と、電源回路の出力を生成する電圧電流输出手段と、出力電圧変動を検出する出力分圧手段と、少なくともひとつの容量成分を含んだキャンセル信号発生手段とを有する雑音除去回路であって、前記基準電圧発生手段には前記誤差增幅手段の第1の入力端子が接続され、前記出力分圧手段には前記誤差增幅手段の第2の入力端子が接続され、前記キャンセル信号発生手段には、前記第2の入力端子が接続され、前記キャンセル信号発生手段は、前記容量成分と前記出力分圧手段の抵抗成分とによって雑音信号を分圧するとともに雑音信号の位相を進めるものであり、前記誤差增幅手段は第1の型の半導体素子の組で構成される入力部と、第2の型の半導体素子の組で構成される負荷部とを有し、前記入力部と負荷部との間に第1の型の半導体素子からなる雑音抑圧部が配置され当該雑音抑圧部のひとつの端子は前記第1の電源に接続され、当該雑音抑圧部の素子の組が異なる寸法にて構成されることにより出力電圧の電源電圧依存性が制御されることに特徴を有する雑音除去回路としたものである。

さらに、前記基準電圧発生手段および誤差增幅手段の出力電圧の電源電圧依存係数の絶対値は、電源電圧変化1ボルトあたり-60デシベル以下であり、電源電圧依存係数の絶対値の差は、-80デシベル以下であり、前記基準電圧発生手段の電源電圧依存係数の極性と誤差增幅手段

の電源電圧依存係数の極性が反対の極性である請求項 1 乃至 2 記載の雑音除去回路としたものである。

さらにまた、前記キャンセル信号発生回路の容量成分の容量は 0.1 pF ないし 0.001 pF の微小容量である請求項 1 乃至 3 記載の雑音除去回路としたものである。

さらにまた、前記バイアス電流発生回路が省略されており、前記基準電圧発生回路が前記バイアス電流発生回路と兼ねられている請求項 1 乃至 4 記載の雑音除去回路としたものである。

発明の実施の形態

以下、本発明の実施の形態について図面を参照しながら説明する。

(第 1 実施例)

第 18 図は本発明に係る一実施例を示すブロック図であり、第 7 図はその具体的な回路構成例である。従来技術で述べた第 2 図の回路構成と同様に第 7 図において誤差増幅器 100 は 2 段構成で、差動回路 10 が 1 段目、位相反転増幅器 20 が 2 段目であり、他に、出力回路 30、誤差検出分圧回路 40、基準電圧回路 50、バイアス電流発生回路 60 で構成されている。従来技術と異なる点は、キャンセル信号発生回路 80 が入力端子 N2 に接続して付加されている点である。

キャンセル信号発生回路 80 は、電源ラインに発生した雑音信号から微小に分圧されてしかも位相を進めた信号を発生して誤差増幅回路の入力に加えて高い周波数のリップル雑音をうち消す動作をする。なお、第 8 図は第 7 図の実施例の変形例であり、誤差増幅器 100 を 1 段構成にし、更にキャンセルトランジスタアレー 70 を付加した場合の回路構成である。

以下、このキャンセル信号発生回路の動作原理について説明しつつ、本発明の作用について述べる。

(キャンセル信号発生回路の作用)

キャンセル信号発生回路の動作は非常に奇抜であるが単純である。V_{out}のリップル雑音は例えば-100 dBのレベルであれば10 μV/1 Vに相当する。これをキャンセルするにはこのような微小な電圧と位相を正確に発生する必要がある。電源ラインのリップル雑音が1 Vとすると1/100 000に正確に分割する必要がある。しかも位相が大きくてはいけないし他の回路の動作点をずらしてはいけない。純抵抗ならば単純で実現は簡単に見えるが、半導体チップ上でこのような微小な分圧比を寄生容量もなしに実現するには非常に困難でありこれまで実現されていなかった。

第13図に本発明のキャンセル信号発生回路の具体例を示す。第13図(a)ではキャンセル信号発生回路が抵抗R3, R4, 容量成分C4で構成され(線で囲まれた部分)、抵抗成分で分圧してから更に容量成分で位相補正を行う回路である。これは出力分圧回路40のR1, R2が所望の出力電圧に応じて変化するので最適なキャンセルコンデンサも変化する点を改良している。第13図(b)は、抵抗R4に代え、トランジスタP5を用いた回路構成である。第13図(c)は、C4だけで構成した例である。C4はFETのゲート容量で構成することも出来る。Cgは誤差増幅器の入力トランジスタN2のゲート容量、R1, R2は出力分圧回路40の抵抗でキャンセル動作に参加している。R3とR4の並列抵抗値がR1とR2の並列抵抗値よりも十分低いと仮定するとキャンセル信号発生回路の出力Vcは、CをC4の容量値、RをR1とR2の並列抵抗値、とすると次の式で表される。

$$Z = R / (j \omega C g R + 1) \quad (9)$$

$$V_c = \Delta V_{dd} (R3 / (R3 + R4)) (j \omega C Z / j \omega C Z + 1)$$

(1 0)

ここで、 $R = 1 \text{ M e g}$ 、 $C = 0.1 \text{ p}$ 、 $\Delta V_{\text{d}d} = 1 \text{ V}$ 、 $\omega = 2\pi 10 \text{ KHz}$ のとき、 $V_c = (1/15000)$ ボルト、位相進みは約 90 度である。

式 (9) は Cg に依存して数 10 KHz 以下の周波数では R で決まるインピーダンスに近似できる。さらに高い周波数では式 (9) はゼロに近づくのでキャンセル信号は小さくなつて作用がなくなる。

位相進みはコンデンサ C_4 の値に依存して変化するが、10 KHz 付近ではまだ 90 度進み状態である。第 3 の極点による位相遅れを打ち消すように C_4 を設定すれば位相遅れをキャンセルできる。振幅は R_3 と R_4 の比および C と R のインピーダンス比であわせることが出来る。これを誤差増幅器の入力に入れれば、キャンセル動作が実現できる。

本発明のキャンセル信号発生回路は、コンデンサと出力分圧回路 40 の抵抗で雑音信号に対する分圧回路を構成するところに特徴があり目的に最適でかつ非常に微小な分圧比と位相進みを最小のコストと構成で実現している。しかもその効果は絶大である。

式 (10) において R_3 を無限大にすると $(R_3/R_3 + R_4)$ は 1 に限りなく近づいて C_4 を直接接続した状態になり、第 13 図 (c) がその状態を示している。そのとき C_4 はごく微小な容量 fF (フェムトファラッド) のオーダーになるが、半導体基板上であればそのような微小容量でも問題なく製造可能である。

このように本発明では、位相補償を十分かけた後に、リップルノイズと逆位相の信号を非常に平易な方法で作り出してノイズをキャンセルするので、誤差増幅器の利得を上げることもなく全く安定度を損なうことなく P S R R を大きく改善することが可能となる。

(第2実施例)

次に、第19図のブロック図及び第15図の回路図を参照して、本発明に係る第2実施例について説明する。第7図と同じ構成要素は同じ記号で示している。

第15図においては、第7図の第1の実施例と比べて、キャンセルトランジスタアレイ70、N5、N6、N7とが付加されている。キャンセルトランジスタアレイ70のゲートは電源に接続されていて電源ラインのリップル雑音信号が直接に加えられている。N5、N6のカスコードトランジスタについてはU S P 4 5 3 3 8 7 7にて述べられていてP S R Rの改善効果が示されている。またU S P 5 1 1 3 1 4 8においても例示されている。従来のカスコードトランジスタはすべてそのゲート端子は電流値を合わせるために特別に作られた基準電圧に接続される。そうしないと同一経路にある他の定電流源とミスマッチが起きて動作が不安定になるからである。本発明ではカスコードトランジスタは電源に直接接続して動作電流を他の定電流源と無関係にして、わざとリップル雑音信号をゲートに加えるとともに、ソース端子との相互作用を利用している。

N7についてカスコード接続されたキャンセルトランジスタの動作を説明する。電源電圧V_{dd}が動作中のある電位から上昇するとN7のゲートの電位も同じだけ上昇する。一方N7のドレインはV_{dd}とほぼ同じ振幅だけ振れて電流を増加させようとするがソース電位はバックゲートがかかっているので、N7の電流の増加が押さえられる。その結果p_d電位が下がるのが抑制されてP4の出力電圧V_{out}が上昇するのが抑制される。N7の電流は以下の式で表せる。

$$I_d = 0.5 * \mu n * C_{ox} * (W/L) * (V_{gs} - V_{tn})^2 * \{ 1 + \lambda (V_{ds} - V_{eff}) \} \quad (11)$$

$$V_{t\ n} = V_{t\ 0} + \gamma (\sqrt{(V_{s\ b} + 2\Phi F)} - \sqrt{\Phi F}) \quad (12)$$

ここで、 $V_{g\ s}$ はゲートソース間電圧、 $V_{t\ n}$ はバックゲートのかかった閾値、 $V_{d\ s}$ はドレインソース間電圧、 $V_{e\ f\ f} = V_{g\ s} - V_{t\ n}$ 、 λ はラムダ係数、 $V_{t\ 0}$ はバックゲートがないときの閾値、 $V_{s\ b}$ はソース基盤間電圧、 ΦF はフェルミ準位、 γ はバックゲート効果の係数である。 λ は別名アーリー電圧係数とも言われ、ソースドレイン電圧の増加に応じてドレイン電流がどれくらい増加するかに関する係数である。 λ と γ は製造工程によって定まる係数である。

式 (12) は N7 のソース電位 $V_{s\ b}$ が上昇すると $V_{t\ n}$ が上昇することを示している。式 (11) において $V_{g\ s}$ が $V_{d\ d}$ とともに上昇しても同時に $V_{t\ n}$ も上昇するので電流 I_d は $V_{g\ s}$ の上昇に正比例はないことを示す。つまり、バックゲート効果の係数 γ が大きいほど電流 I_d の抑制効果つまりキャンセル効果が大きいことは確実に言える。アーリー電圧係数 λ はチャンネル長変調係数とも言われていて、チャンネル長 L が大きいほど小さな値になるので、 λ と L の影響は複雑である。従って、N7 トランジスタサイズとキャンセル効果との関係は一義的には定まらないが、標準的な製造パラメータでは N7 のチャンネル長を変化させるとキャンセル効果を制御できる。

(第3の実施例)

次に、第20図に記載されたブロック図は本発明に係る第3の実施例であり、第16図に記載された回路は、その具体的回路構成図である。第7図と同じ構成要素は同じ記号で示している。本実施例では、キャンセル信号発生回路 80 と共にキャンセルトランジスタ 70 を有することに特徴がある。

なお、上記の実施例の変形例として第17図の回路図を示す。かかる

回路構成では、前記バイアス電流発生回路 60 が省略されており、前記基準電圧発生回路 50 が前記バイアス電流発生回路を兼用することが可能となる。

(システムオフセットの傾斜その 1)

第 9 図は第 15 図に示した本発明の実施例における、電源電圧 V_{dd} が変化したとき回路各部の依存性特性をシミュレーションしたグラフである。94、91 はキャンセルトランジスタがない場合の P3 のドレイン電流と V_{out} を、95、92 がキャンセルトランジスタ N7 があるときの電流と V_{out} を示している。94 と 95 を比較するとキャセルトランジスタによって 95 の電流増加が 94 に比べて抑制されていることがわかる。第 9 図 (a) の 91、92 は V_{out} 近傍を拡大したグラフである。キャンセルトランジスタ N7 の働きで電流増加が抑えられて、 V_{out} がマイナス傾斜 92 になっていることがわかる。

第 9 図 (c) 中の曲線 96 は N7 のドレイン電圧すなわち PD ノードの電圧を示す。96 のすぐ上の直線は電源電圧が上昇する状態を表している。97 は N7 のソース端子の電圧を示していて、電源電圧とともに上昇していることはトランジスタ N7 が電源電圧上昇とともにバックゲートバイアス効果が強く作用することを意味している。

91、92、93 の傾斜の範囲は、電源電圧変化は 1 V あたり 1 mV (-60 dB) 以下であり、電源電圧依存係数の絶対値の差が -80 dB 以下であることが望ましい。基準電圧源の正係数の傾斜とここで得られる負係数の誤差増幅器を合わせれば低周波領域での電源電圧変動から起因するリップル雑音を限りなくゼロにできる。第 9 図 (b) で V_{ref} を示す 93 の傾斜は前述の式 (2) において ΔV_{ref} に相当する。91、92 はともに V_{out} を示していて、91 は式 (2) における Δ

S_o が正係数を持つ場合の V_{out} の傾斜を示している。92は ΔS_o が大きな負係数を持つ場合にその影響で V_{out} が負の傾斜なる場合を示している。また、逆の場合（基準電圧源が負極性、誤差増幅器が正極性）も同様の効果が得られる。92のマイナス傾斜はN7の動作電流と式(11)における製造パラメータに依存して出てくるので任意に設定は出来ないがその性質は常に利用できるのでN7によって必ず傾斜を寝かせることが可能である。

このようにキャンセルトランジスタN7のサイズを変化させることにより、PSRRを容易に改善できることがわかる。

(システムオフセットの傾斜その2)

第15図において、N5とN6とは通常は同一のサイズに構成されていて、誤差増幅器100の差動増幅器10は2つの入力が等しければN5とN6とは同じ電流で動作する平衡状態で動作している。本発明では、N5とN6のサイズを異なるサイズにして差動回路を不平衡状態にて動作させることによりリップル抑制が可能であることを示す。第21図は、N5のチャネル長を一定とし、N6のチャネル長を210はN5と同じサイズ、211は2倍のサイズ、212は6倍、213はN5の10倍まで変化させた時の、出力電圧の電源電圧変化を示している。213と212とは正の傾斜であり、3.5V～6.0Vの間で約250μV変化している。210は負の傾斜で130μVの変化を示している。211はほぼ平らな傾斜を示していて、4V～5V間ではわずか5μVの変化を示している。PSRRは低い周波数では出力電圧の電源電圧に対する変化傾斜と等しいので、211はPSRRが非常に良好であることを見ている。

第22図は第8図においてN5のチャネル長を一定とし、N6のチャネル長を220はN5の25%小さいサイズ、221は同じサイズ、2

22は25%大きいサイズ、223がN5の2.2倍まで変化させた時の、出力電圧の電源電圧変化を示している。220は、正の傾斜であり、223は負の傾斜を示している。

222は4V付近では少し負の傾斜があるが、ほぼ平らな傾斜を示していて、222はPSRRが非常に良好であることを示している。

このようにキャンセルトランジスタのサイズバランスを変化させることにより、PSRRを容易に改善できることがわかる。これは従来まったく存在しなかった方法であり、その効果は絶大である。またN6のチャネル長を製造後に配線フューズを切断するなどの方法でN6のチャネル長を変化させてPSRRを直接トリミングできることを示している。

このように本発明のキャンセルトランジスタでは、電源ラインに発生したリップルノイズ信号をそのままキャンセルに使用するので、誤差増幅器の利得を上げることもなく全く安定度を損なうことなく低周波領域のPSRRを大きく改善することが可能となる。

本発明にて参照されている基準電圧回路について触れておく。

第11図は基準電圧源の具体的回路例を示す。電圧係数は $\delta V_{ref}/\delta v$ は第9図(b)の93よりプラスの係数を有している。この回路例はUSP4417263から引用している。ND1, ND2はデプレッション型NチャンネルFETで一定の電流を供給する定電流源を構成している。N1はエンハンスマント型NチャンネルFETでダイオード接続されているので一定電流を流すと両端には一定の電圧が出てきて定電圧源として作用する。

第10図は第16図の回路のPSRR特性をシミュレーションしたグラフである。103は第7図の回路そのままのPSRR特性、101はキャンセルトランジスタN7, N6, N5のソースドレインを短絡したときのPSRR特性を示す。103が101に比べて約60dBも改善

されていることがわかる。このとき回路全体の動作電流はわずか数 μ A である。図中 102 は次に述べるキャンセル信号発生回路を働かせないときの P S R R 特性で、キャンセル動作をはずすと高い周波数まで特性が改善する効果がなくなる事を示している。

(従来の位相補償との違い)

本発明におけるキャンセル方法はいわゆる従来における増幅器の位相補償とはまったく別の範疇に属する。従来の位相補償は特別な場合を除き互いに位相が逆相の 2 点をコンデンサ等で接続して負帰還をかけて周波数特性を変化させるのが基本である。例えば第 16 図の P 4 のゲートとドレイン間にコンデンサなどを接続して高周波領域で利得を下げて位相回りを押さえて安定度を改善する場合がある。本発明のキャンセル信号発生回路は誤差増幅器の入力から見た周波数特性にほとんど影響が現れない。しかし V d d から見たときのリップル雑音除去特性のみに作用する。作用の内容は接続する回路上の位置によって若干異なる。

第 16 図の回路図に示したようにキャンセル信号発生回路 80 を V d d に接続した場合は、誤差増幅器の入力とは何の関係もないで従来の位相補償とはいかなる相似もない。次に A 点もしくは B 点に接続した場合、A 点、B 点の誤差増幅器入力から見た利得は 1 以下なのでほとんど作用しないが、電源ライン V d d に乗ったリップル雑音信号は大半がこれらの点に伝達されるので C 4 を通じてキャンセル作用を働かせる事が可能である。C 点や P D 点は誤差増幅器入力から見るとある程度の利得を有しているので帰還の影響が少し出てくる。第 14 図は C 4 を P D 点に接続したときの利得位相特性を示すグラフである。141 と 144, 142 と 145, 143 と 146 は $C 4 = 0 \text{ pF}$ 、 0.1 pF 、 1 pF の場合の利得特性と位相特性をそれぞれ示す。前述のようにキャンセル信

号発生に抵抗分割 R 3, R 4 を使わないときは C 4 のみで可能であり、0. 1 pF 以下の微小な容量で実現できる。第 14 図において 142, 143 共に利得は C 4 を付加することによって低下しているし、位相も 145, 146 に見られるようにわずかながら進んでいて、安定度にとつてはよい方向に変化しているので、安定度を劣化することがないといえる。つまり、微小容量であれば特性の変化は安定度に関して無視できる量である。

このように本発明のキャンセル信号発生回路は誤差増幅器入力からは見るとまったく作用しないかまたは無視できる作用量であり、従来の位相補償とはまったく動作が異なる。ところが電源ライン Vdd のリップル雑音に対しては非常に感度良くキャンセル作用が働く性質を有している。従って、従来の位相補償を充分行った上で、ノイズキャンセルを付加するので、電源回路の安定度を充分確保した後に、PSRR を充分に改善することが可能となる。

(キャンセル動作の実例)

第 12 図に、第 16 図に係る実施例において、動作電流を前の例よりもさらに減らして 1 μA 程度としたときの PSRR 特性を、キャンセルコンデンサ C 4 を 0 pF から 0. 1 pF に変化させて示す。121 と 125 は 0 pF, 122 と 126 は 0. 1 pF, 123 と 127 は 0. 5 pF, 124 と 128 は 0. 1 F の特性を示す。125 はキャンセル信号がないので数 100 Hz から位相が遅れ始めて 1 kHz 付近から PSRR が悪化し始めていることを示している。126 は位相の遅れが少し高い周波数に移動して補正がかかり始めていることを示している。127 はほぼ完璧に位相キャンセルがかかっている状態で位相が急激に変化している、128 は過剰にキャンセルが働いて逆に位相が進み過ぎて P.

S R R 特性が劣化していることを示している。

このようなキャンセル方法はこれまでになかった方法であり、その効果は一目瞭然でかつ非常に効果的である。なお、第 16 図の回路図では、キャンセル信号発生回路は電源 V_{dd} に接続されているがリップル雑音信号が存在する他の場所に接続しても同じ効果が得られる。

なお、本発明の実施例においては、半導体素子の例として F E T にて示しているが、ほかのタイプの半導体素子、例えばバイポーラトランジスタ、SiGeトランジスタ、薄膜トランジスタ、GaAsトランジスタでも同等の効果が期待できるので、実施は F E T に限定されるものではない。更に、本発明の実施例では N - F E T 入力の誤差増幅器を用いているが、これは P - F E T 入力の誤差増幅器に適用することは容易に推定することができる。

発明の効果

このように本発明は誤差増幅器の増幅度を上げることなく、また極点の位置を特別な方法で離すこともなく、非常に低い動作電流で従来よりもはるかに優れたリップル雑音除去率と動作安定性を実現することが出来る。

本発明は従来には存在しなかった回路構成を提案して、少ない部品で非常に低い動作電流においてもリップル雑音をキャンセルする非常に効率的なリップル除去能力を実現している。

図面の簡単な説明

第 1 図は従来の安定化電源回路の一例を示すブロック図であり、第 2 図は従来の安定化電源回路の一例を示す回路図であり、第 3 図は従来の安定化電源回路の出力電圧対電源電圧特性の一例を示す図面であり、第 4 図は第 3 図のスケールを 10000 倍に拡大した図面であり、第 5 図は従来の安定化電源回路の出力利得位相一周波数特性を示す図面であり

、第6図は従来の安定化電源回路のP S R R特性を示す図面であり、第7図は本発明の第1の実施例である回路図を示す図面であり、第8図は本発明の第1の実施例の変形例である回路図を示す図面であり、第9図は第16図の回路各部の電圧の電源電圧依存性を示す図面であり、第10図は本発明のP S R R特性に関するキャンセル動作を示す図面であり、第11図は基準電圧発生回路の例を示す図面であり、第12図はキャンセル信号発生回路の動作を示す図面であり、第13図はキャンセル信号発生回路の例を示す図面であり、第14図はキャンセル信号発生回路の作用を示すグラフを示す図面であり、第15図は本発明の第2の実施例である回路図を示す図面であり、第16図は本発明の第3の実施例である回路図を示す図面であり、第17図は本発明の第3の実施例である回路図の変形例を示す図面であり、第18図は本発明の第1の実施例のブロック図を示す図面であり、第19図は本発明の第2の実施例のブロック図を示す図面であり、第20図は本発明の第3の実施例のブロック図を示す図面であり、第21図は本発明のキャンセル動作を説明するための図面であり、第22図は本発明のキャンセル動作を説明するための別の図面であり、

符号の説明

1， 2…電圧供給端子、 3…出力端子、 10…差動回路、 20…位相反転増幅器、 30…出力回路、 40…出力分圧回路、 50…基準電圧発生回路、 60…バイアス電流発生回路、 70…キャンセルトランジスタアレイ、 80…キャンセル信号発生回路、 100…誤差増幅器

請 求 の 範 囲

1. 基準電圧を発生する基準電圧発生手段と、

動作電流を定めるためのバイアス電流を発生するバイアス電流発生手段と、

前記基準電圧に対する誤差電圧を増幅する誤差増幅手段と、

電源回路の出力を生成する電圧電流动出力手段と、

出力電圧変動を検出する出力分圧手段とを有する雑音除去回路であって

、

前記誤差増幅手段は第1型の半導体素子の組で構成される入力部と、第2型の半導体素子の組で構成される負荷部とを有し、前記入力部と負荷部との間に第1の型の半導体素子の組からなる雑音抑圧部が配置され、当該雑音抑圧部の素子の組が異なる寸法にて構成されることにより出力電圧の電源電圧依存性が制御されることに特徴を有する雑音除去回路。

。

2. 基準電圧を発生する基準電圧発生手段と、

動作電流を定めるためのバイアス電流を発生するバイアス電流発生手段と、

前記基準電圧に対する誤差電圧を増幅する誤差増幅手段と、

電源回路の出力を生成する電圧電流动出力手段と、

出力電圧変動を検出する出力分圧手段と、

少なくともひとつの容量成分を含んだキャンセル信号発生手段とを有する雑音除去回路であって、

前記基準電圧発生手段には前記誤差増幅手段の第1の入力端子が接続され、前記出力分圧手段には前記誤差増幅手段の第2の入力端子が接続され、前記キャンセル信号発生手段には、前記第2の入力端子が接続され

、前記キャンセル信号発生手段は、

前記容量成分と前記出力分圧手段の抵抗成分とによって雑音信号を分圧するとともに雑音信号の位相を進めるものであり、

前記誤差増幅手段は第1の型の半導体素子の組で構成される入力部と、第2の型の半導体素子の組で構成される負荷部とを有し、前記入力部と負荷部との間に第1の型の半導体素子からなる雑音抑圧部が配置され、当該雑音抑圧部のひとつの端子は前記第1の電源に接続され、当該雑音抑圧部の素子の組が異なる寸法にて構成されることにより出力電圧の電源電圧依存性が制御されることに特徴を有する雑音除去回路。

3. 前記基準電圧発生手段および誤差増幅手段の出力電圧の電源電圧依存係数の絶対値は、電源電圧変化1ボルトあたり-60デシベル以下であり、電源電圧依存係数の絶対値の差は、-80デシベル以下であり、前記基準電圧発生手段の電源電圧依存係数の極性と誤差増幅手段の電源電圧依存係数の極性が反対の極性である請求項1乃至2記載の雑音除去回路。

4. 前記キャンセル信号発生回路の容量成分の容量は0.1pFないし0.001pFの微小容量である請求項1乃至3記載の雑音除去回路。

5. さらにまた、前記バイアス電流発生回路が省略されており、前記基準電圧発生回路が前記バイアス電流発生回路と兼ねられている請求項1乃至4記載の雑音除去回路。

補正書の請求の範囲

補正書の請求の範囲 [2003年8月11日 (11. 08. 03) 国際事務局受理: 出願
当初の請求の範囲 1—5 は補正された。 (3頁)]

1. 第1の電源端子と、第2の電源端子を有し、
基準電圧を発生する基準電圧発生手段と、
動作電流を定めるためのバイアス電流を発生するバイアス電流発生手段
と、
前記基準電圧に対する誤差電圧を増幅する誤差増幅手段と、
該誤差増幅手段には少なくとも1つの位相補償コンデンサを含み、
電源回路の出力を生成する電圧電流输出手段と、
出力電圧変動を検出する出力分圧手段とを有し、
前記基準電圧発生手段には前記誤差増幅手段の第1の入力端子が接続さ
れ、前記出力分圧手段には前記誤差増幅手段の第2の入力端子が接続さ
れ、
前記誤差増幅手段は第1の型の半導体素子の組で構成される入力部と、
第2の型の半導体素子の組で構成される負荷部とを有し、前記入力部と
負荷部との間に第1の型の半導体素子からなる雑音抑圧部が配置され、
当該雑音抑圧部の1つの端子は前記第1の電源端子に接続されかつ、当
該雑音抑圧部の基盤端子は前記第2の電源端子に接続され、当該雑音抑
圧部の素子の組が異なるディメンションにて構成されることにより出力
電圧の電源電圧依存性が制御されることを特徴とする、雑音除去回路。
2. 第1の電源端子と、第2の電源端子を有し、
基準電圧を発生する基準電圧発生手段と、
動作電流を定めるためのバイアス電流を発生するバイアス電流発生手段
と、
前記基準電圧に対する誤差電圧を増幅する誤差増幅手段と、
該誤差増幅手段には少なくとも1つの位相補償コンデンサを含み、

電源回路の出力を生成する電圧電流出力手段と、
出力電圧変動を検出する出力分圧手段と、
前記位相補償コンデンサとは異なる少なくとも1つの容量を含んだキャ
ンセル信号発生手段とを有する雑音除去回路であって、該容量は前記出
力分圧回路と第1の電源端子もしくは第1の電源端子の電位と同位相に
変化する回路ノードに接続されていて、
前記基準電圧発生手段には前記誤差増幅手段の第1の入力端子が接続さ
れ、前記出力分圧手段には前記誤差増幅手段の第2の入力端子が接続さ
れ、

前記キャンセル信号発生手段は、前記容量と前記出力分圧手段の抵抗成分とによって雑音信号を分圧するとともに雑音信号の位相を進めるものであり、

前記誤差増幅手段は第1の型の半導体素子の組で構成される入力部と、第2の型の半導体素子の組で構成される負荷部とを有し、前記入力部と負荷部との間に第1の型の半導体素子からなる雑音抑圧部が配置され、当該雑音抑圧部の1つの端子は前記第1の電源に接続され、当該雑音抑圧部の素子の組が異なるデイメンションにて構成されることにより出力電圧の電源電圧依存性が制御されることを特徴とする、雑音除去回路。

3. 前記基準電圧発生手段および誤差増幅手段の出力電圧の電源電圧依存係数の絶対値は、電源電圧変化1ボルトあたり-60デシベル以下であり、電源電圧依存係数の絶対値の差は、-80デシベル以下であり、前記基準電圧発生手段の電源電圧依存係数の極性と誤差増幅手段の電源電圧依存係数の極性が反対の極性である、請求項1又は2記載の雑音除去回路。

4. 前記キャンセル信号発生回路の容量の容量値は0.1pFないし0.001pFの微小容量である、請求項1乃至3のいずれか1項記載の雑音除去回路。

5. 前記バイアス電流発生回路が省略されており、前記基準電圧発生回路が前記バイアス電流発生回路を兼ねている、請求項1乃至4のいずれか1項記載の雑音除去回路。

図 1

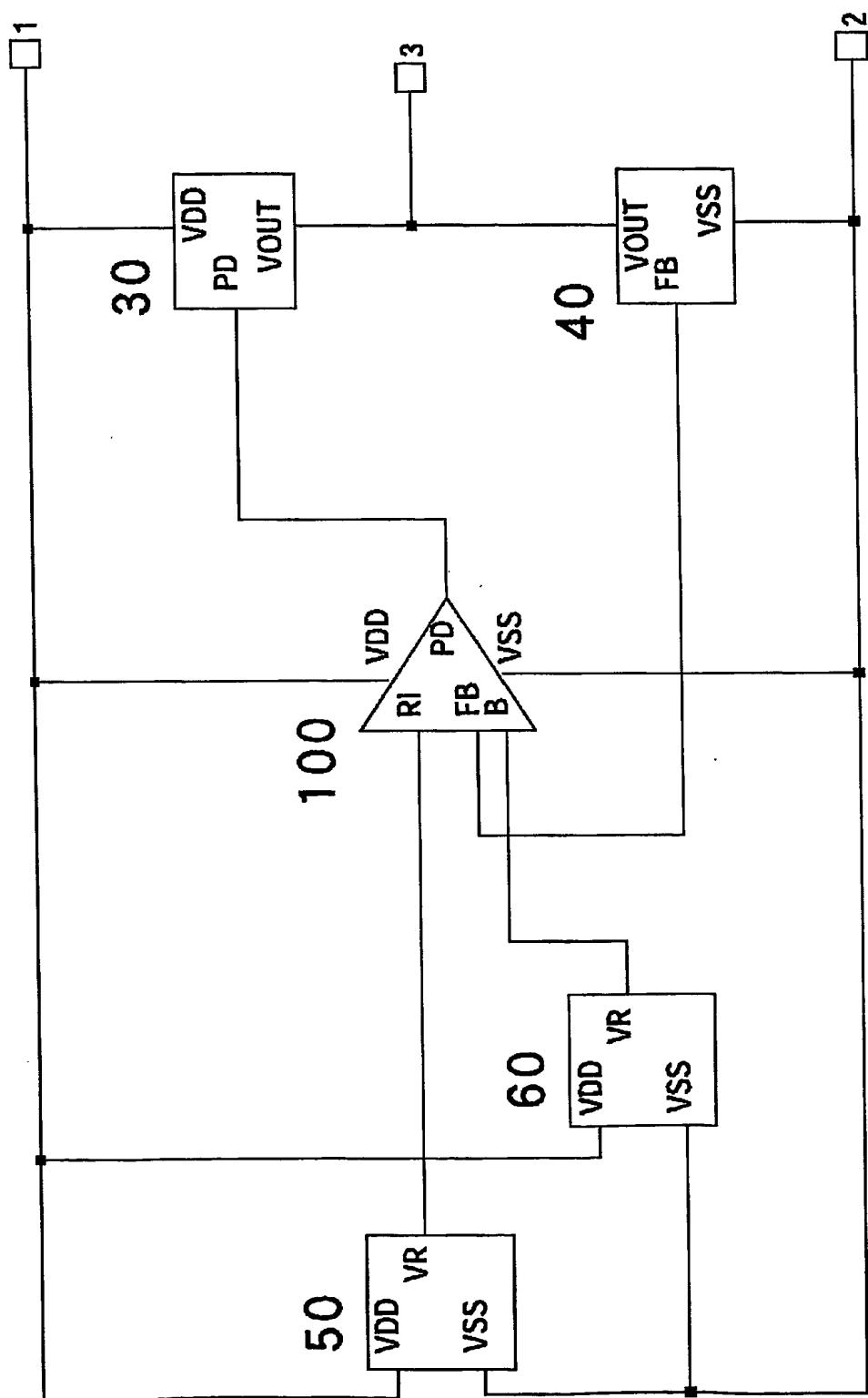
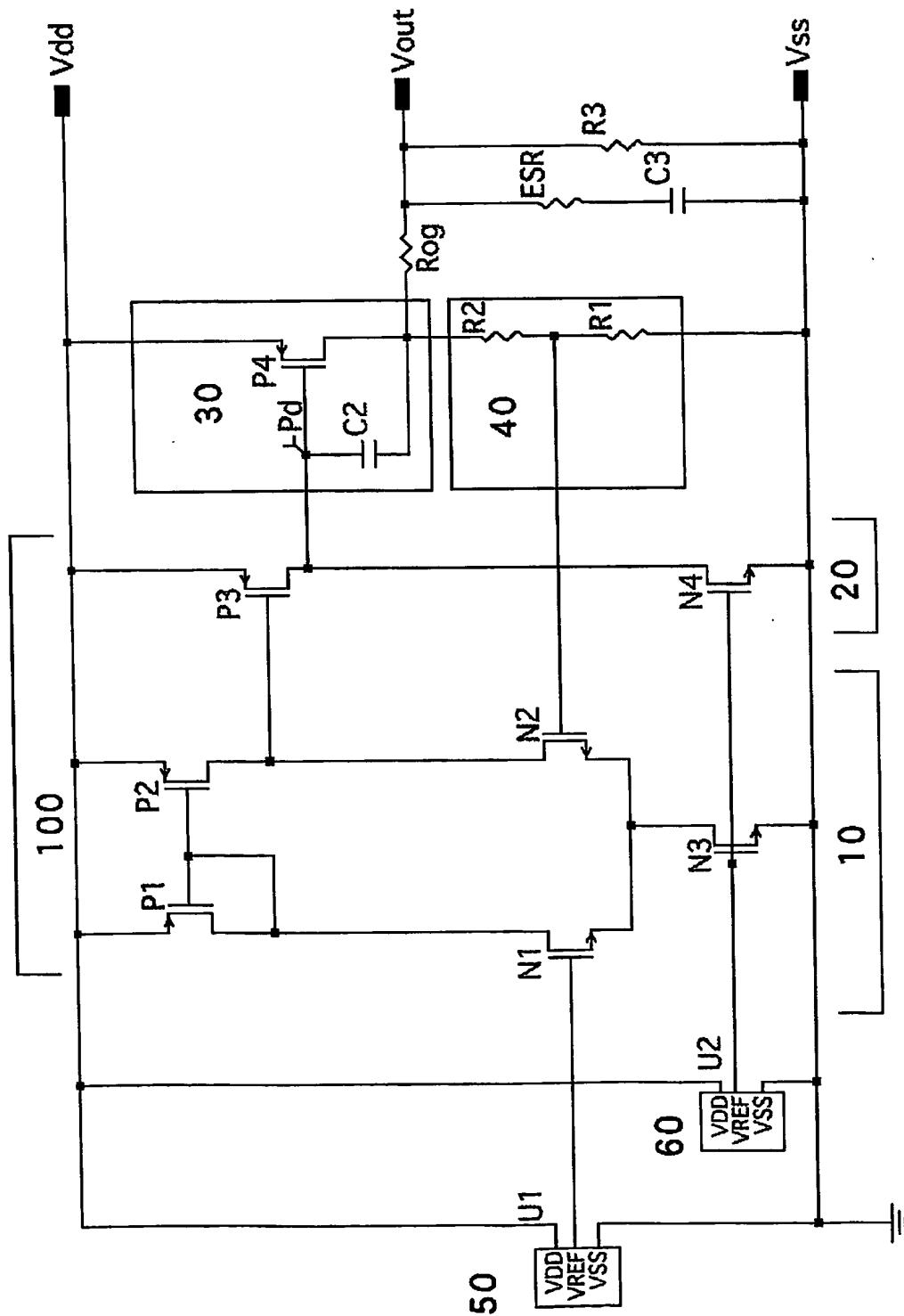
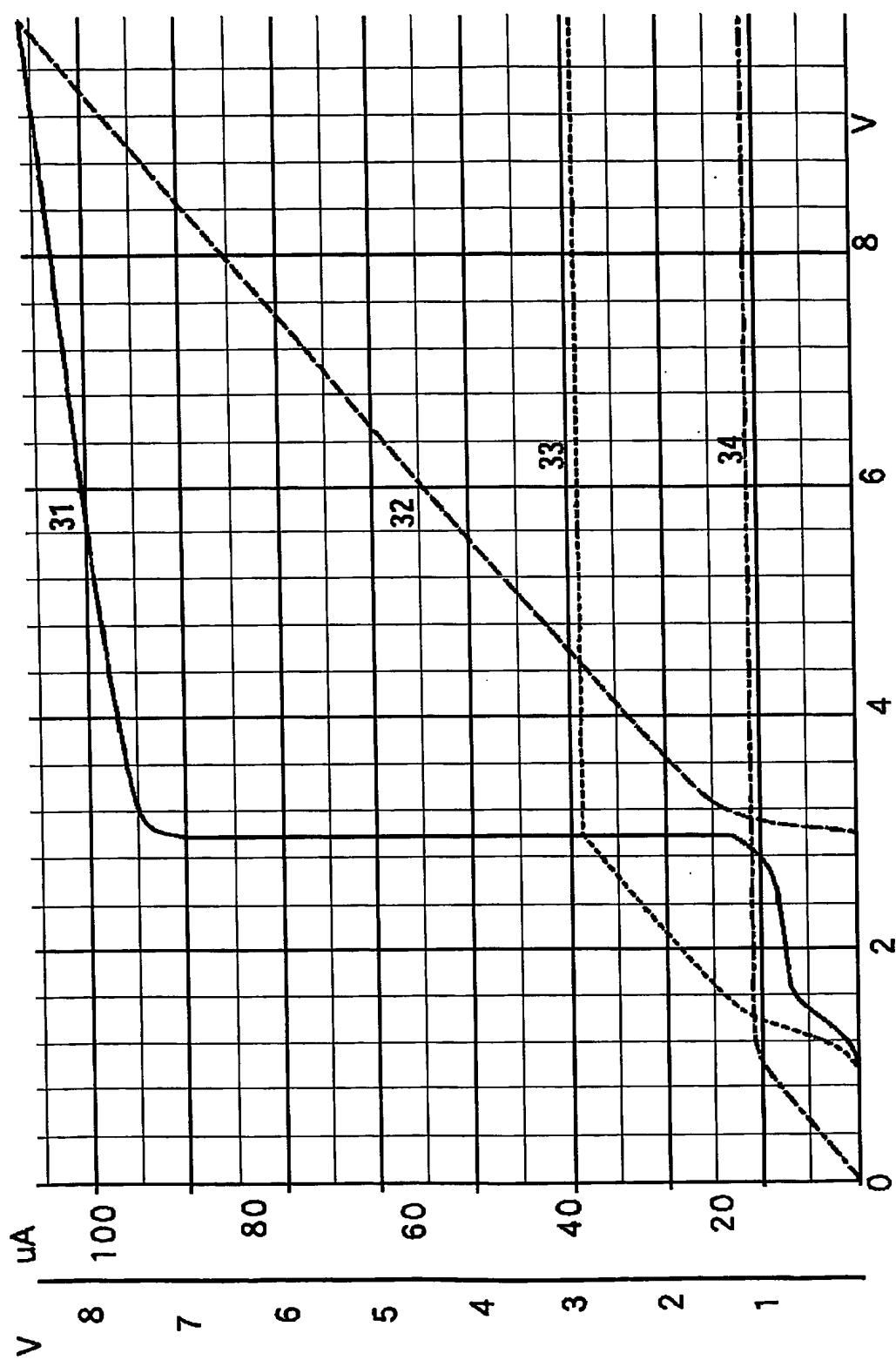


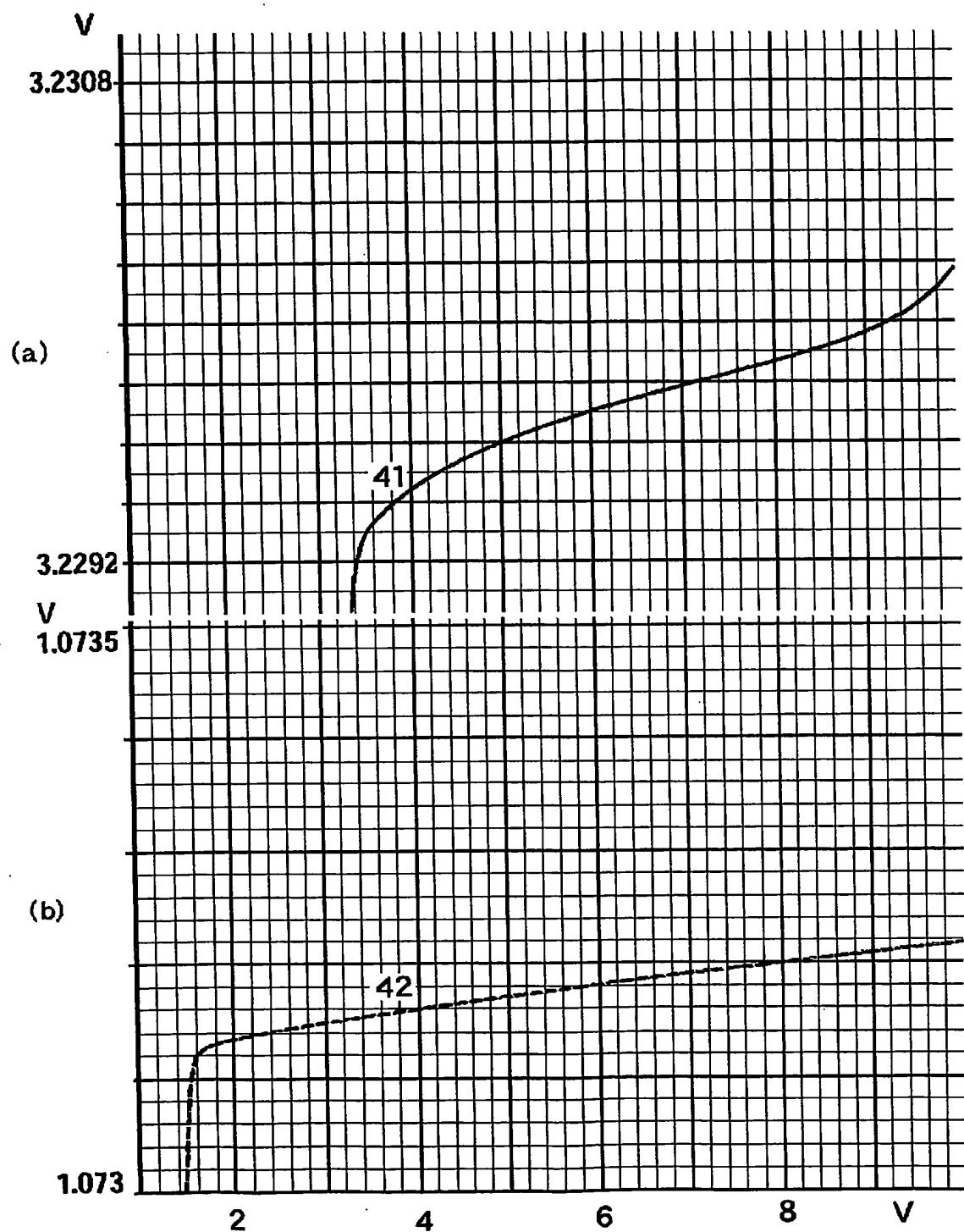
図 2



第3図



第4図



第5図

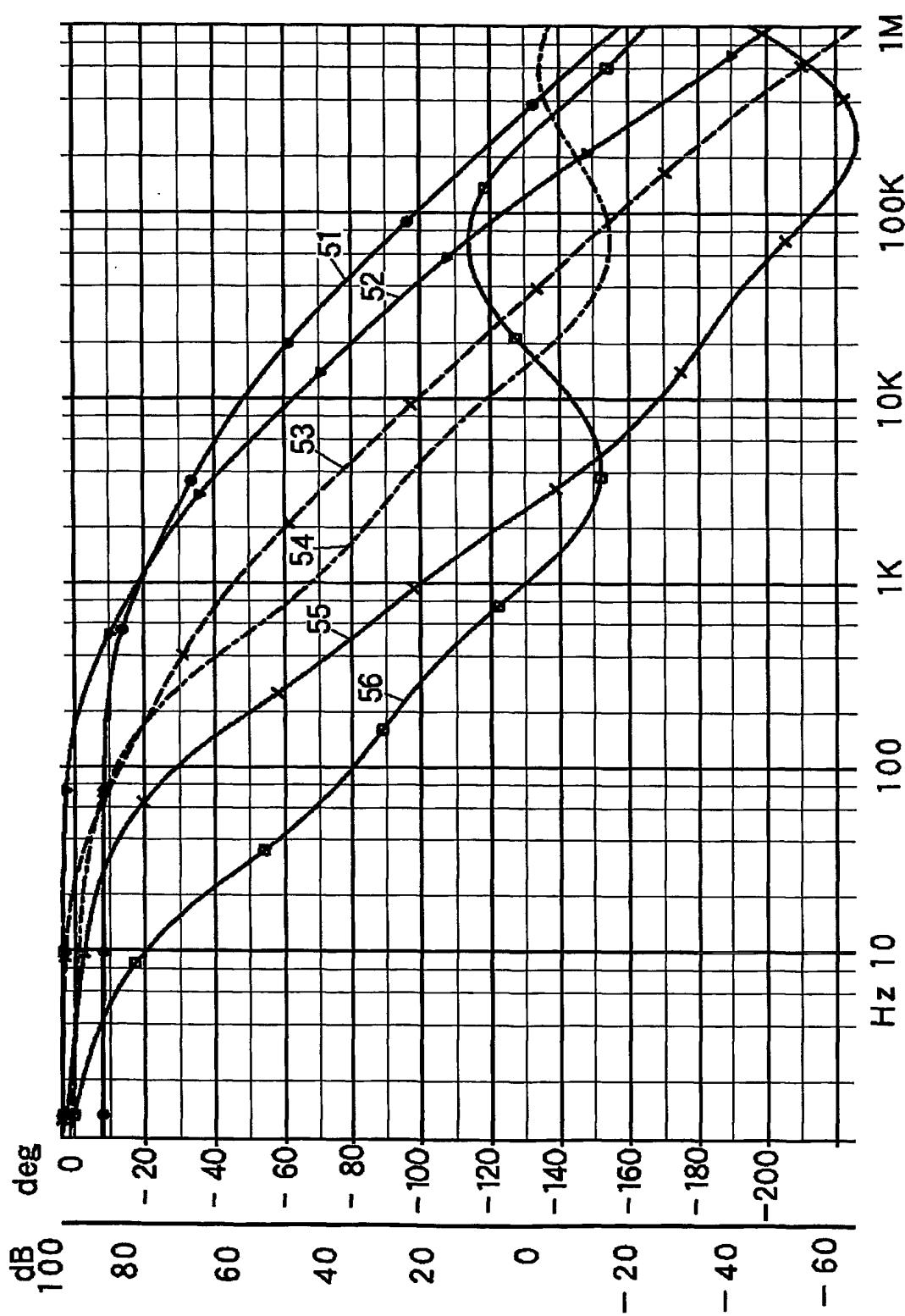
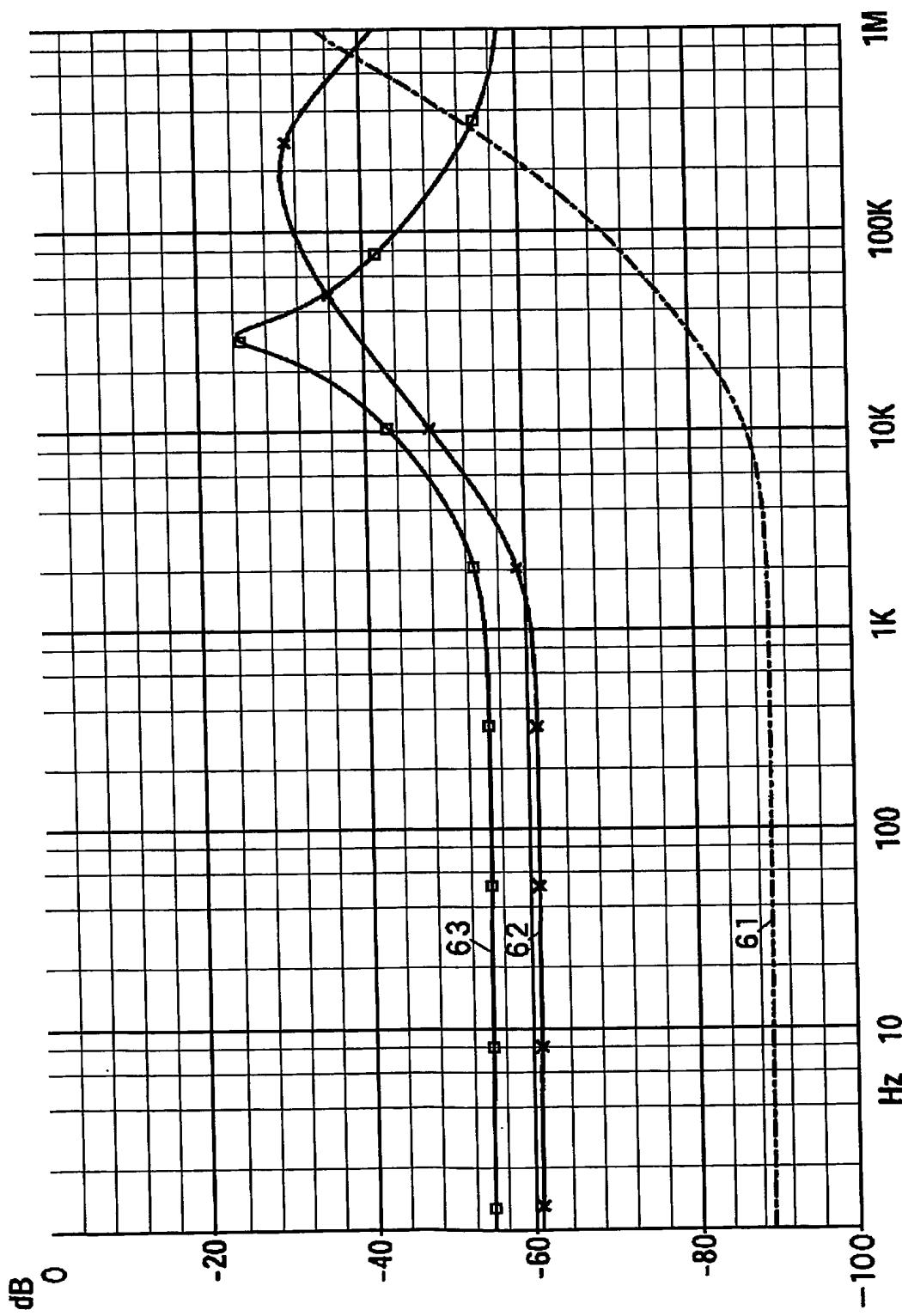


図 6



第 7 図

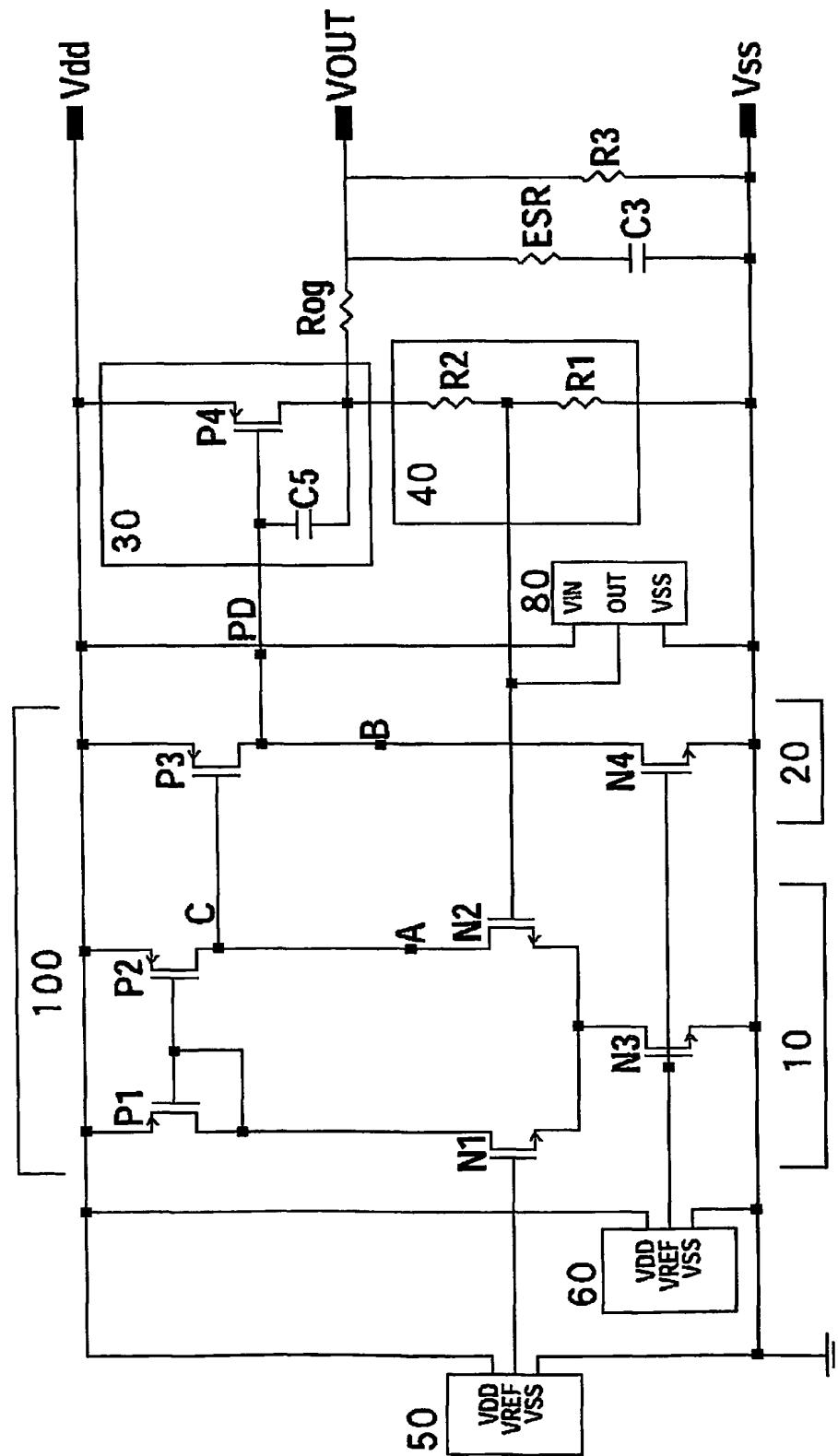
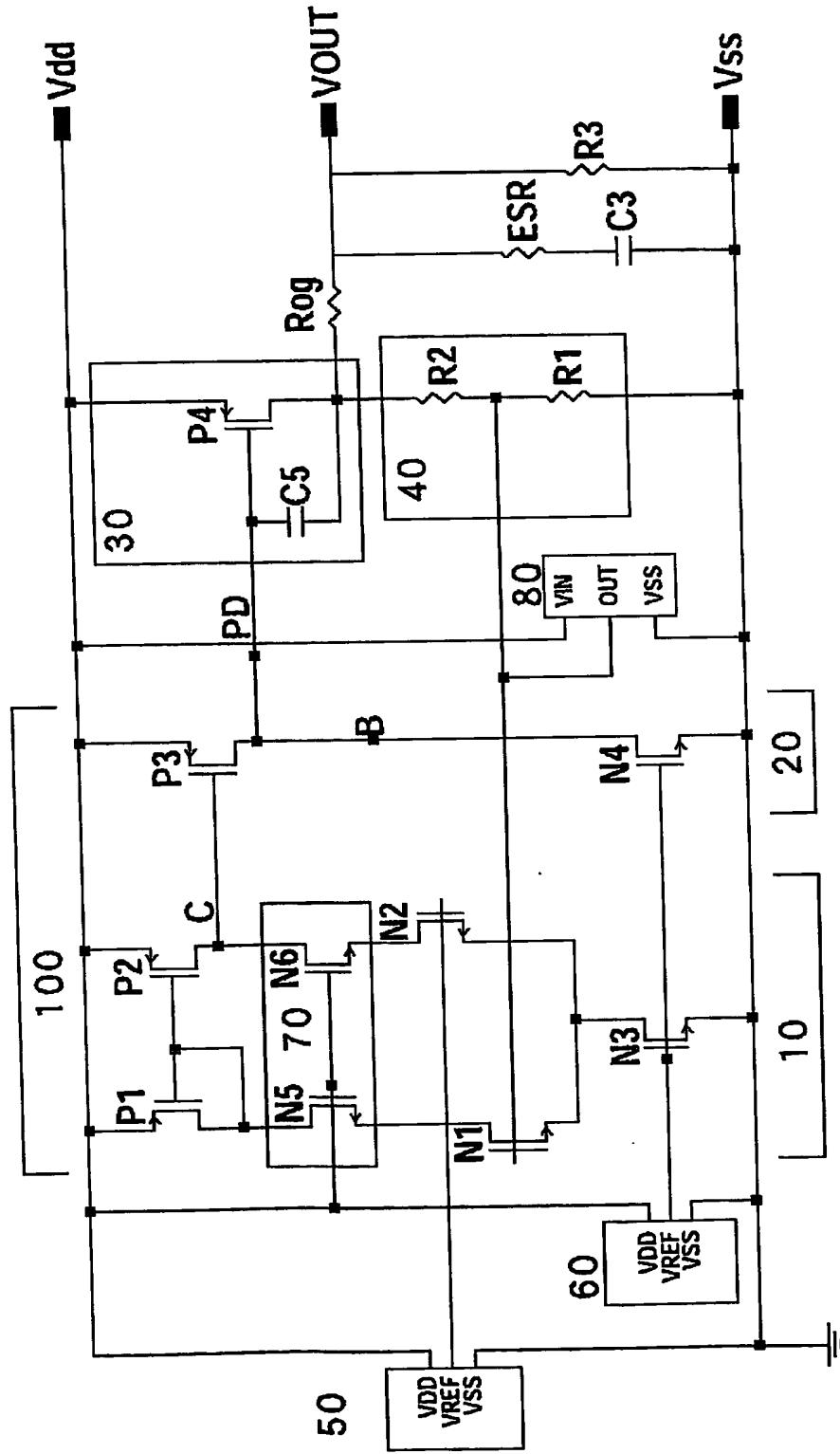
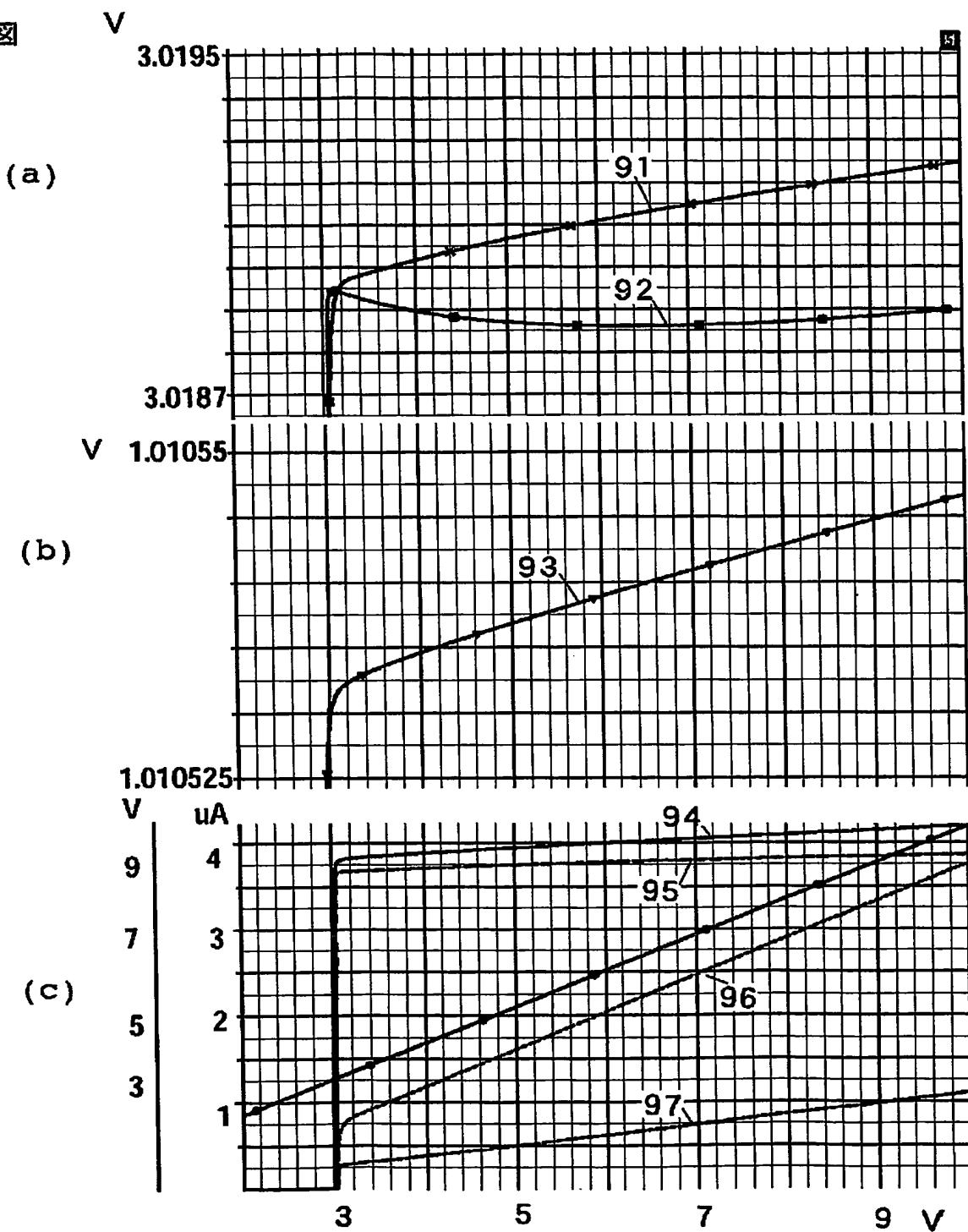


図 8

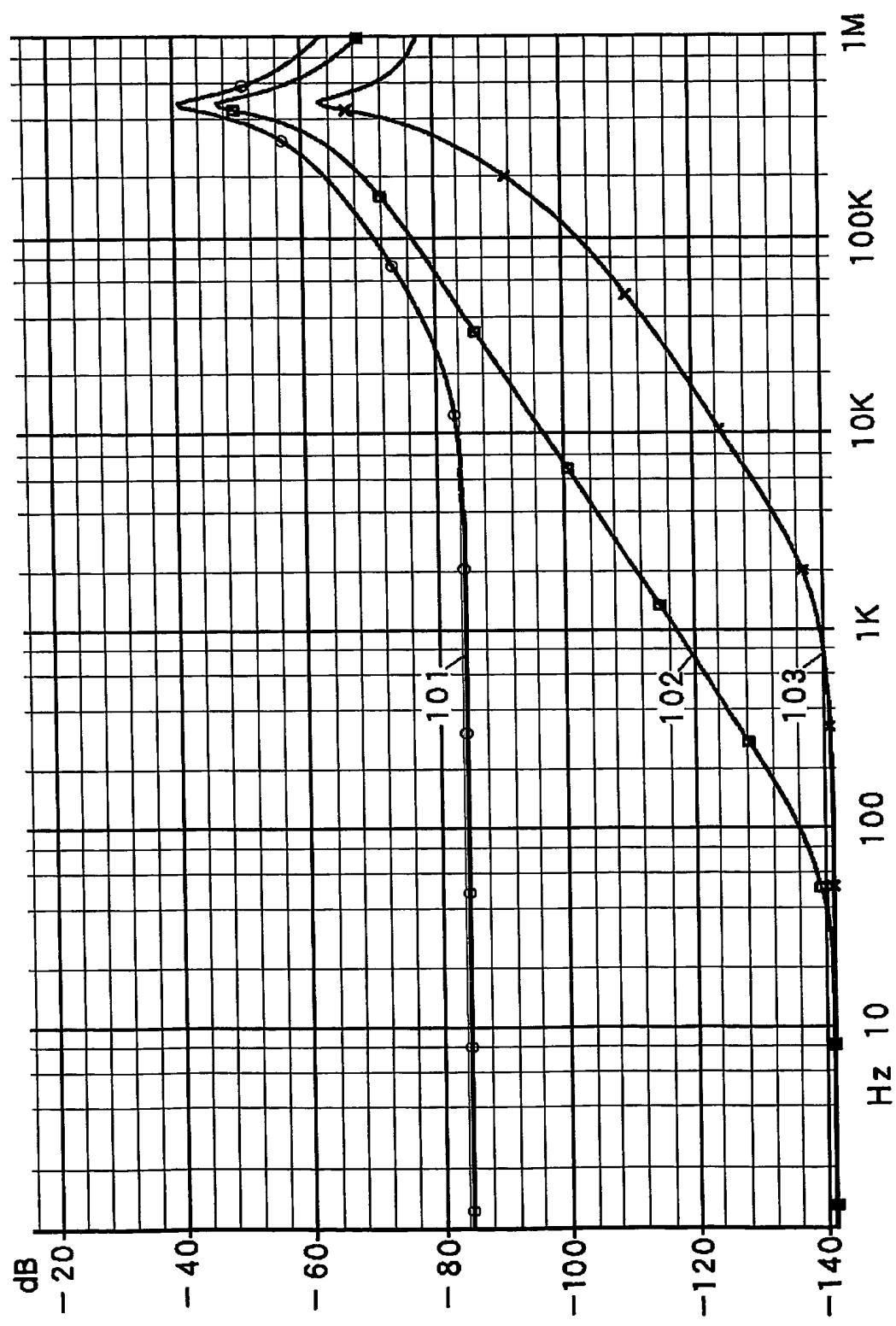


第9図

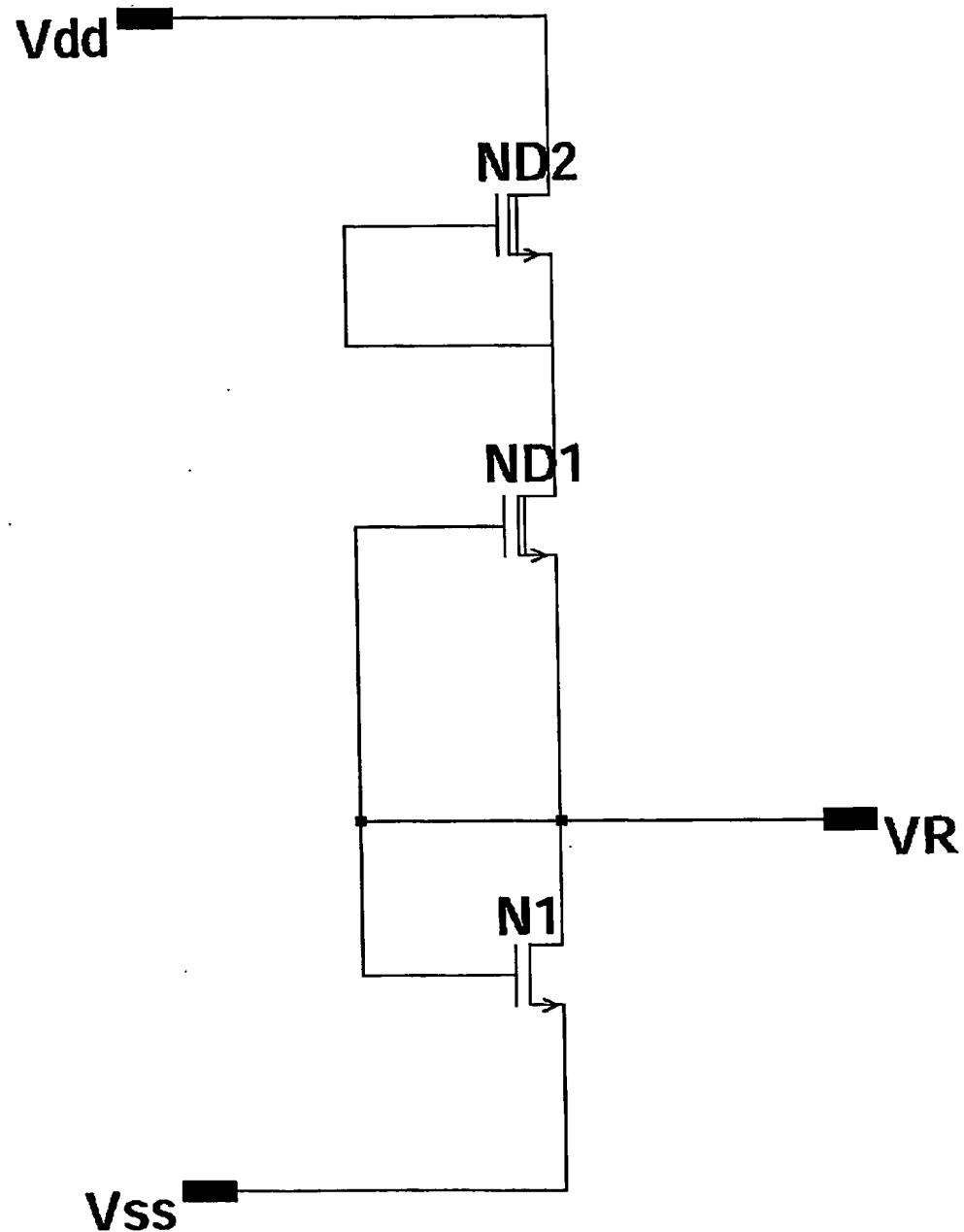


10 / 22

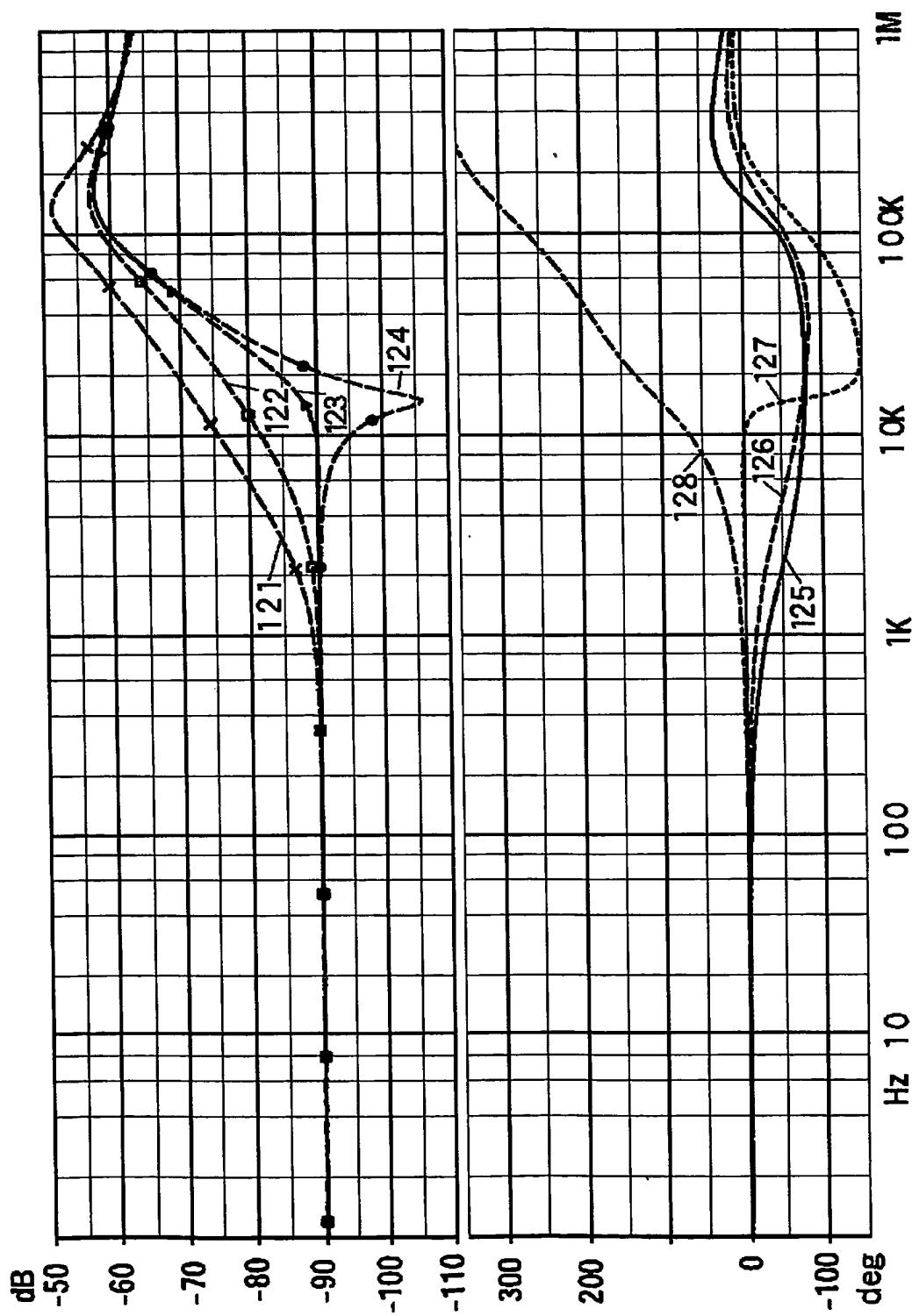
第10図



第11図



第12図



第13図

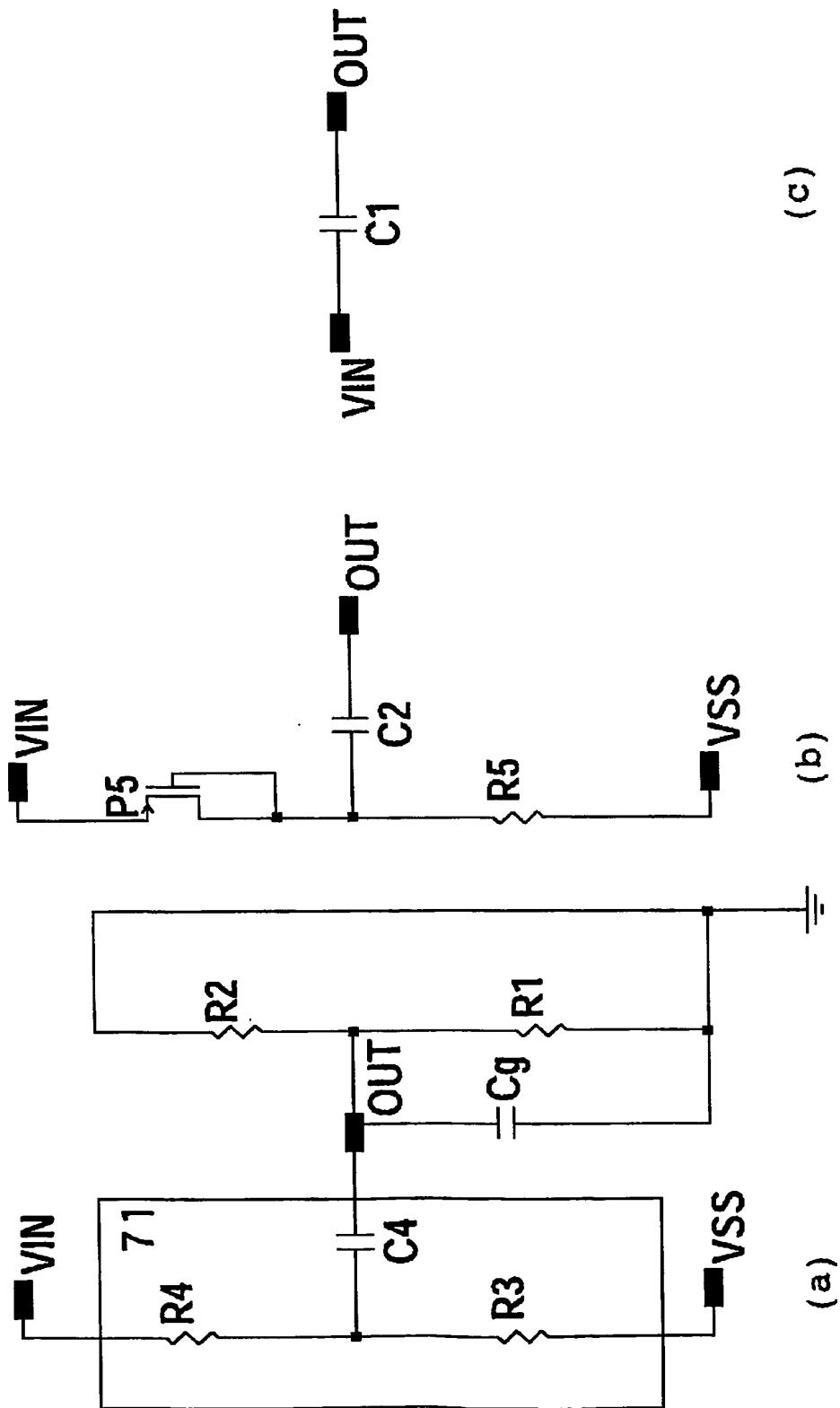
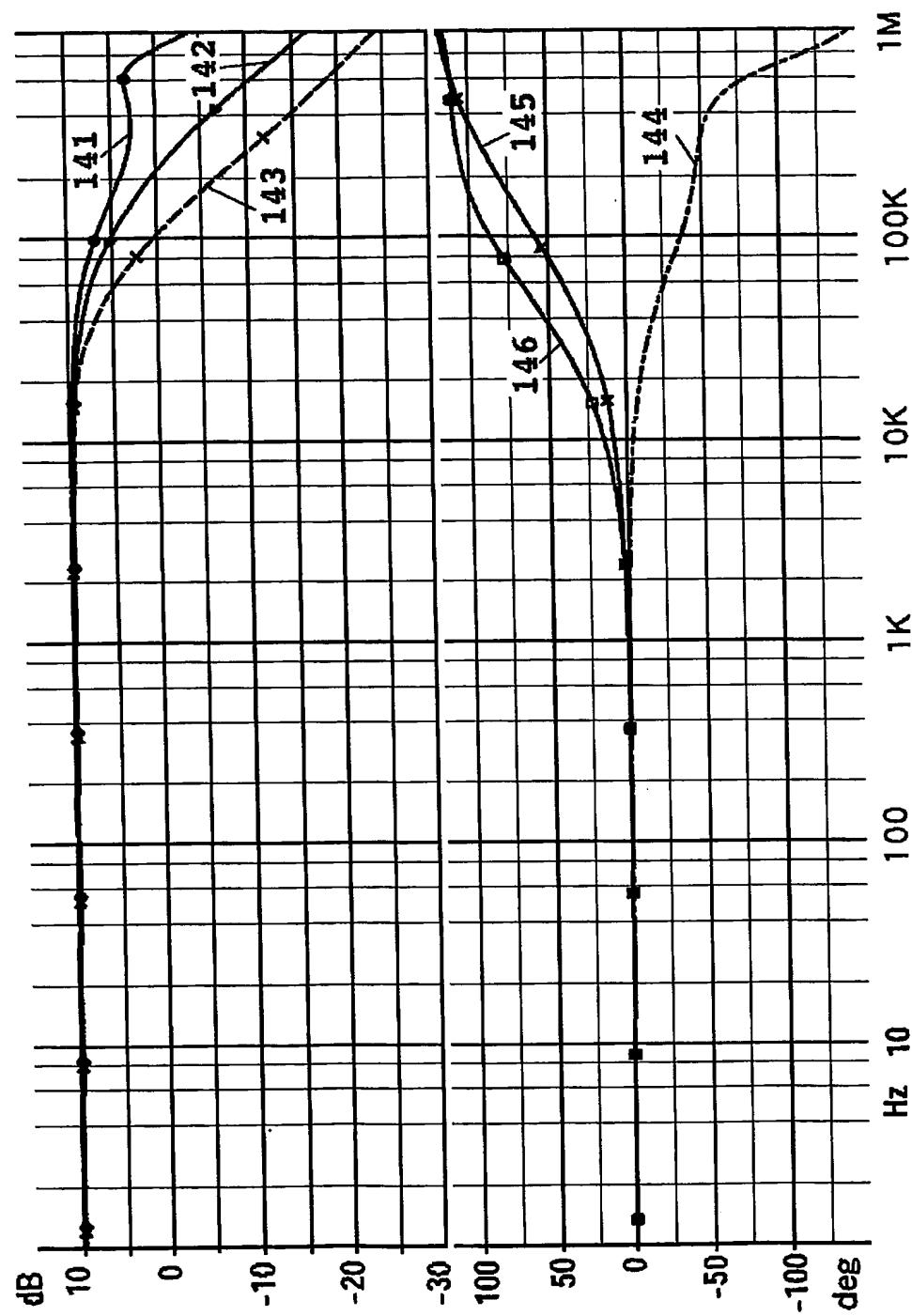
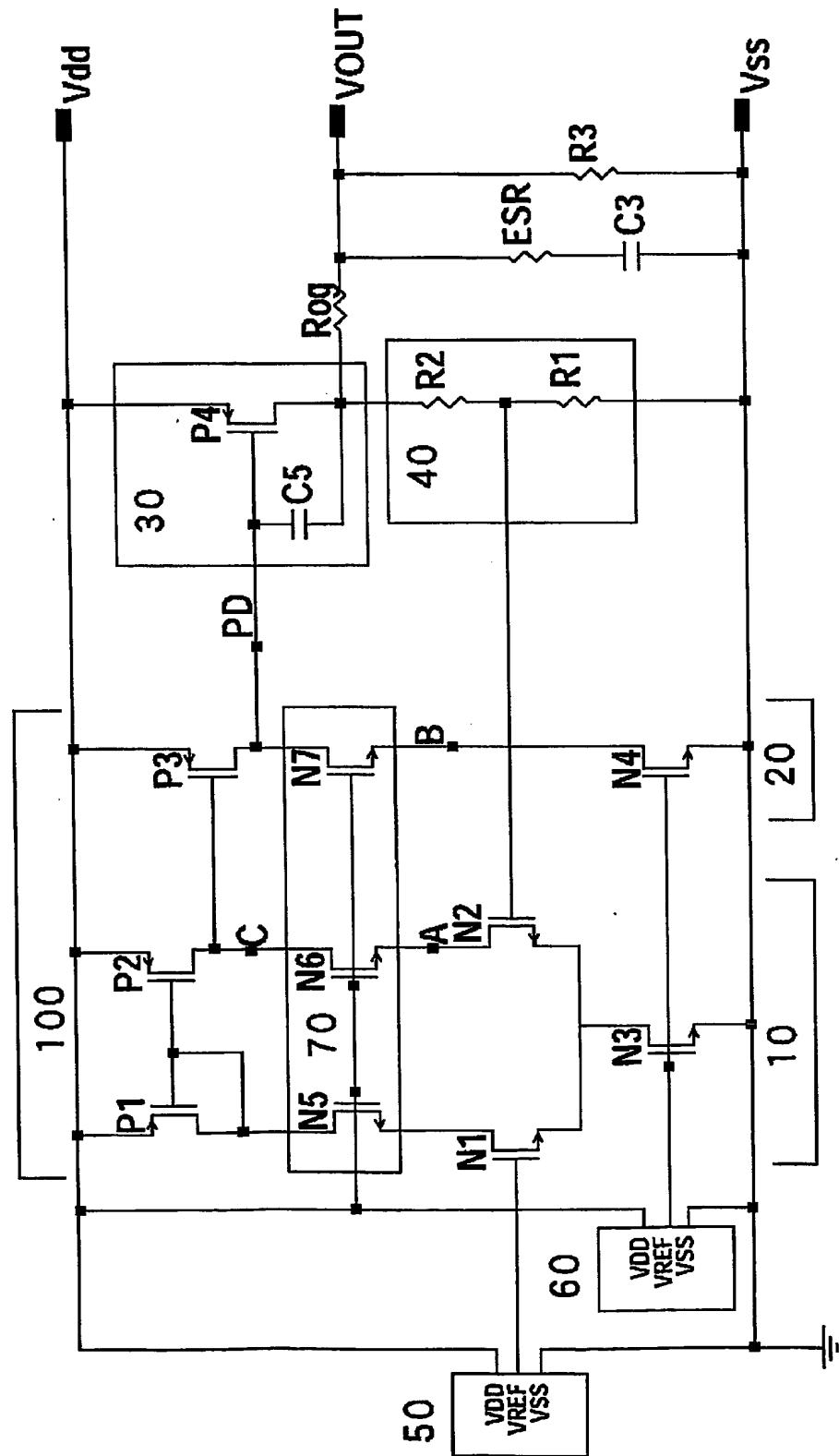


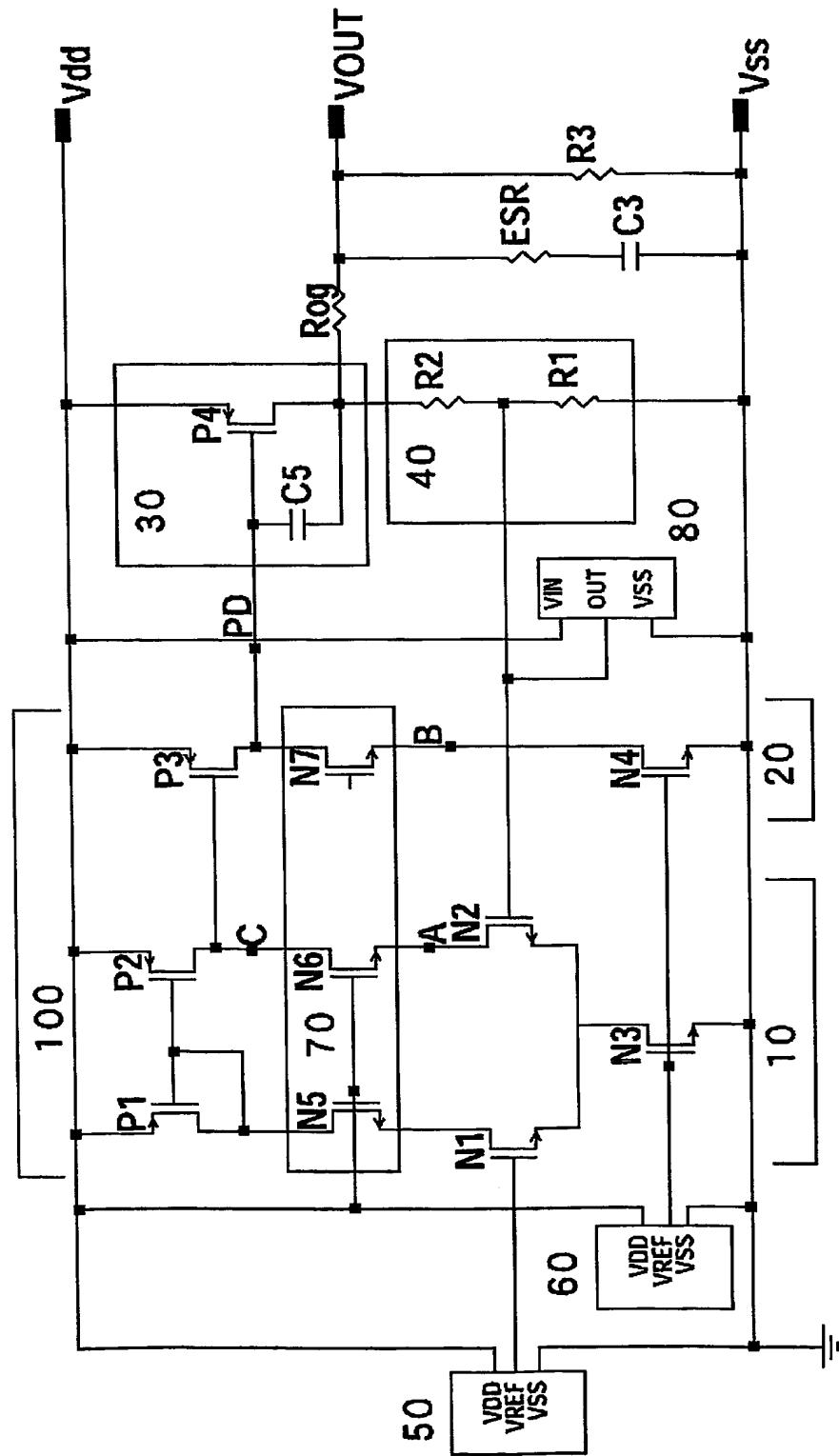
図 14



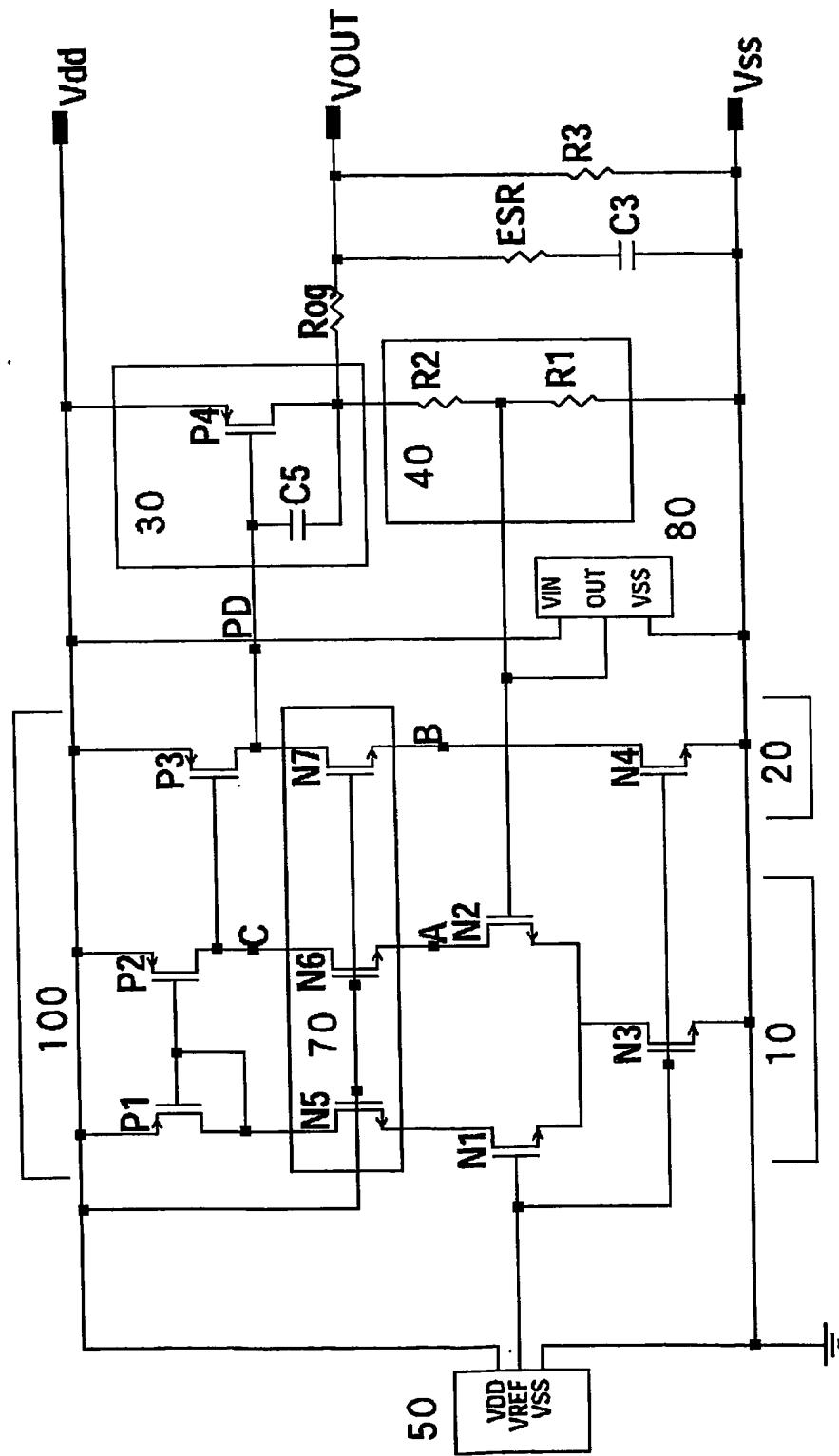
第15図



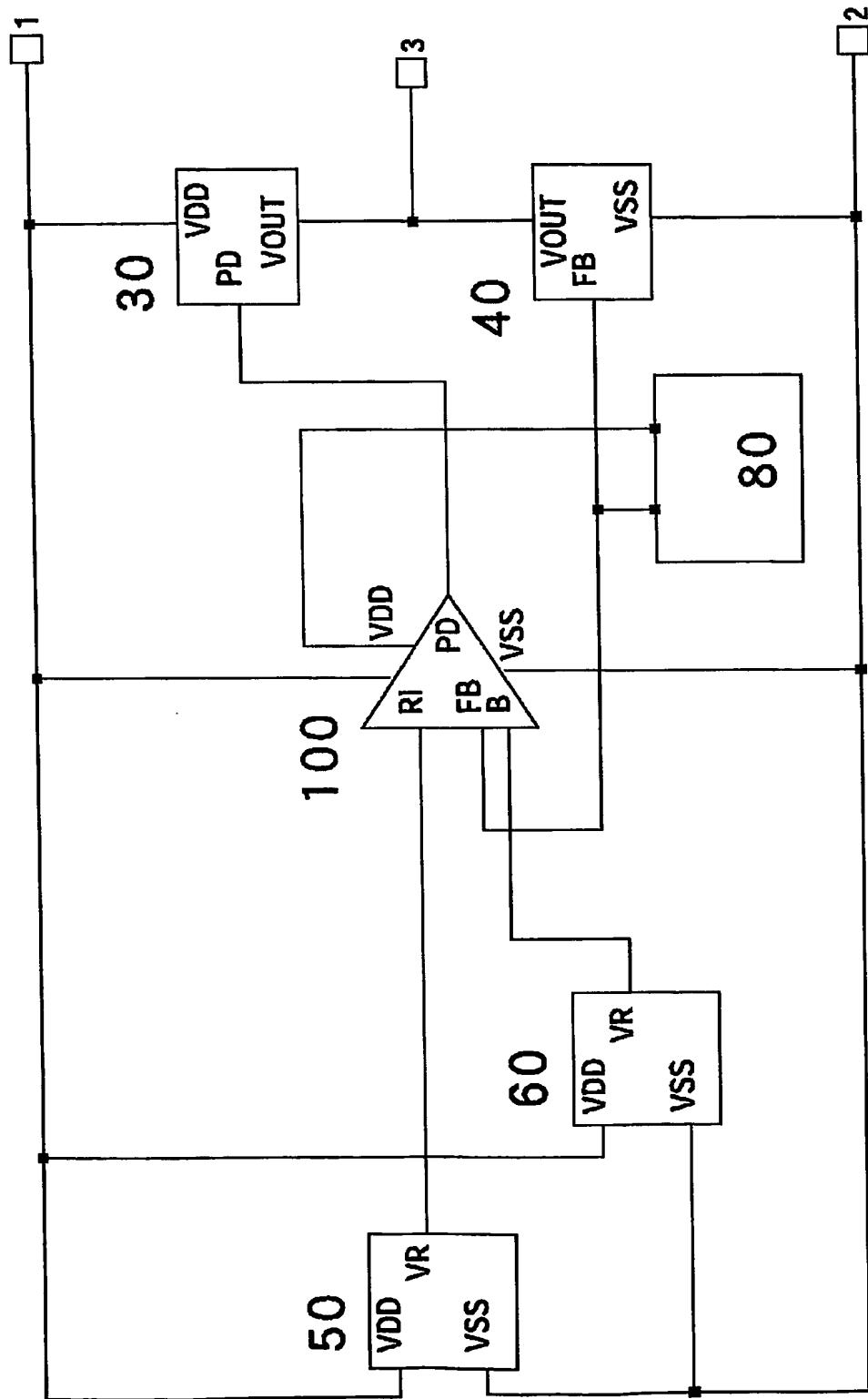
第16図



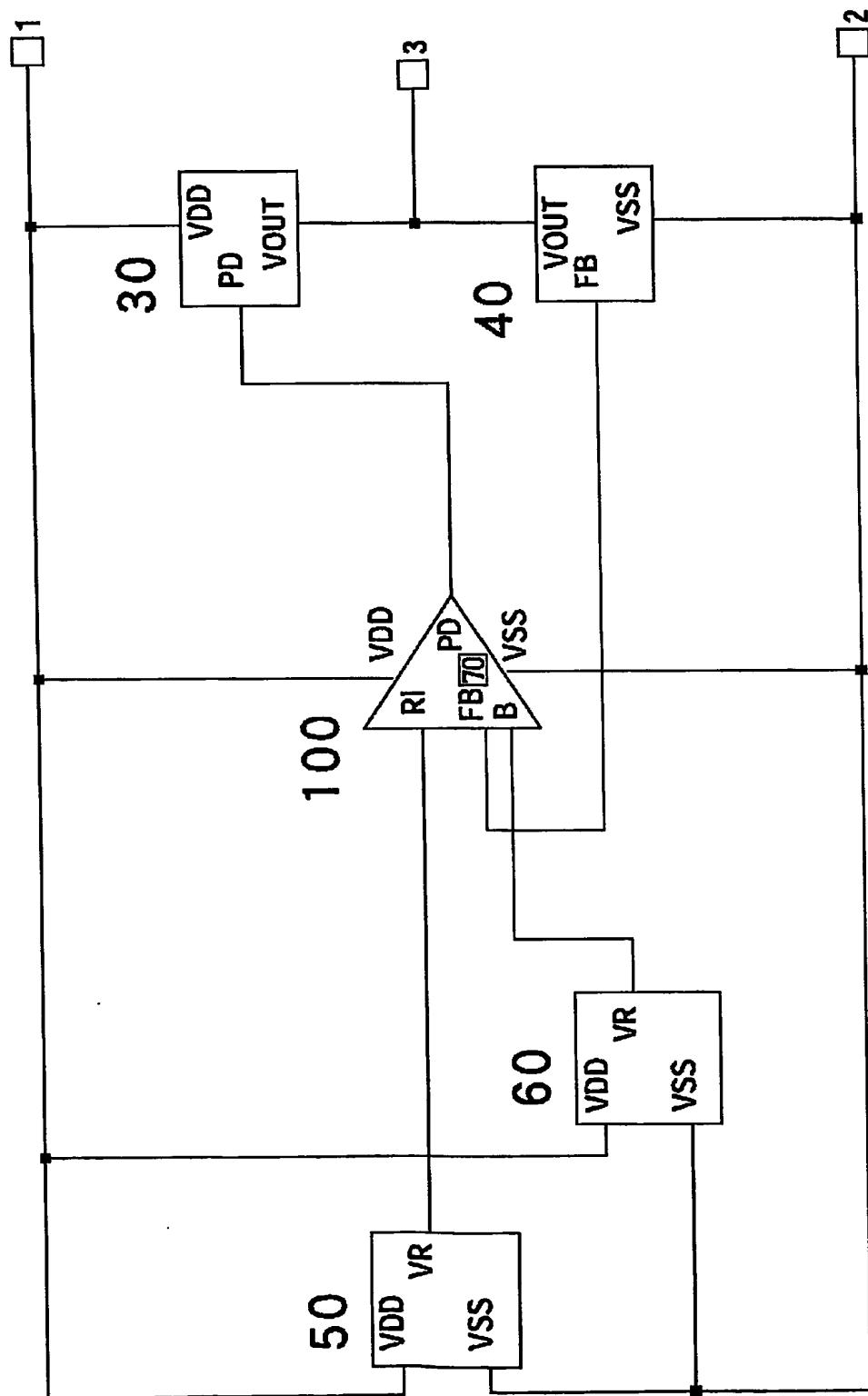
第 17 図



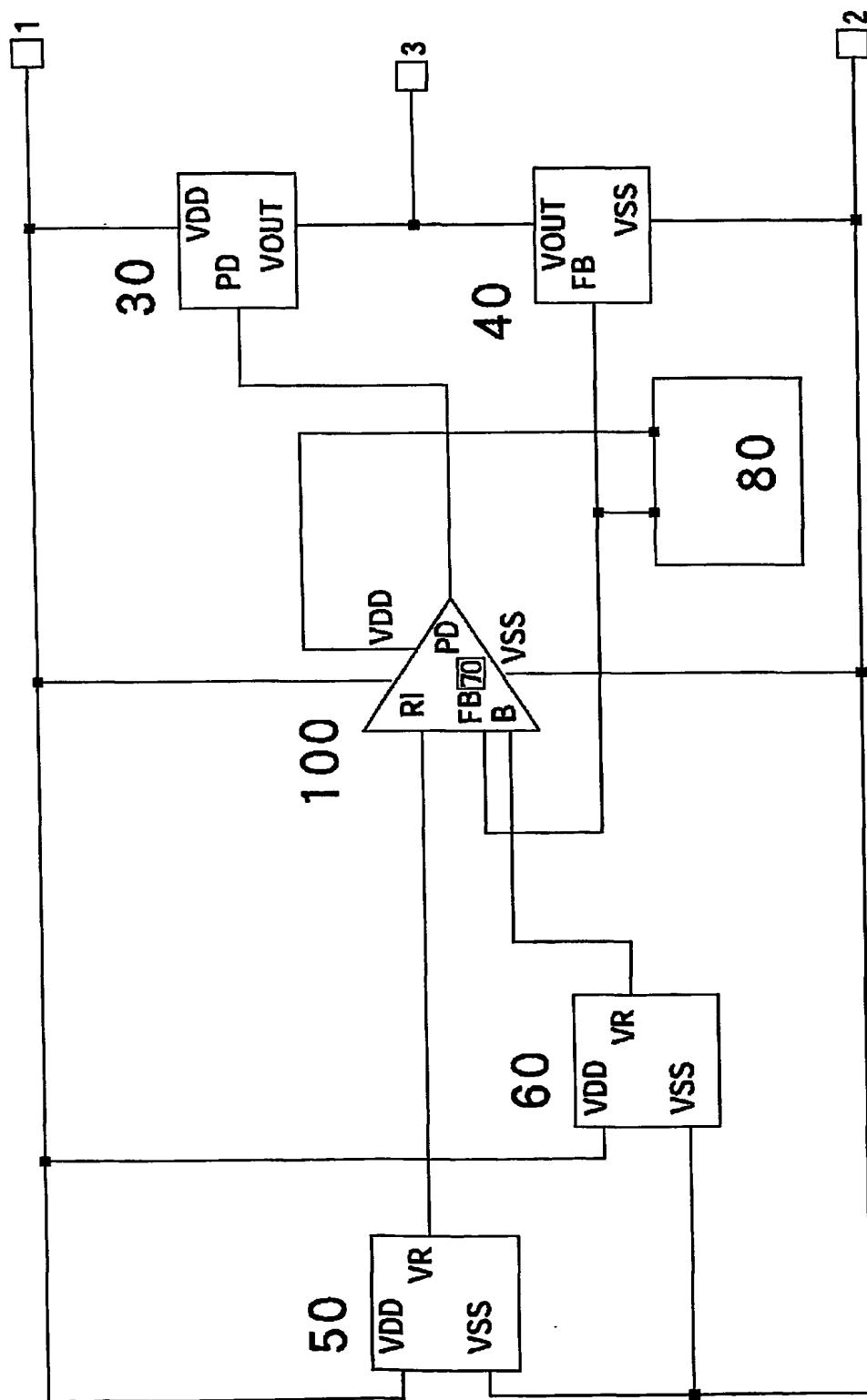
第18図



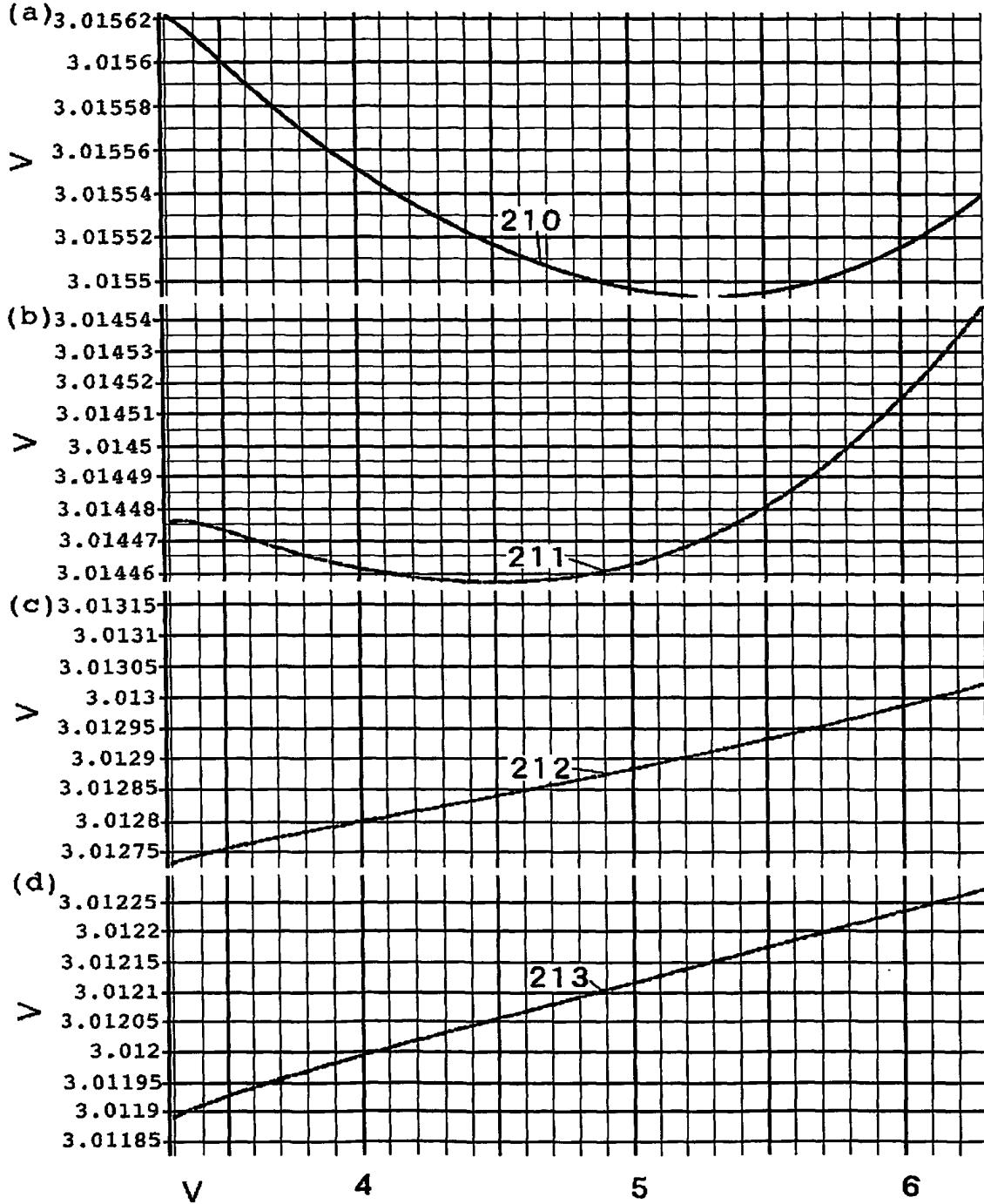
第19図



第20図

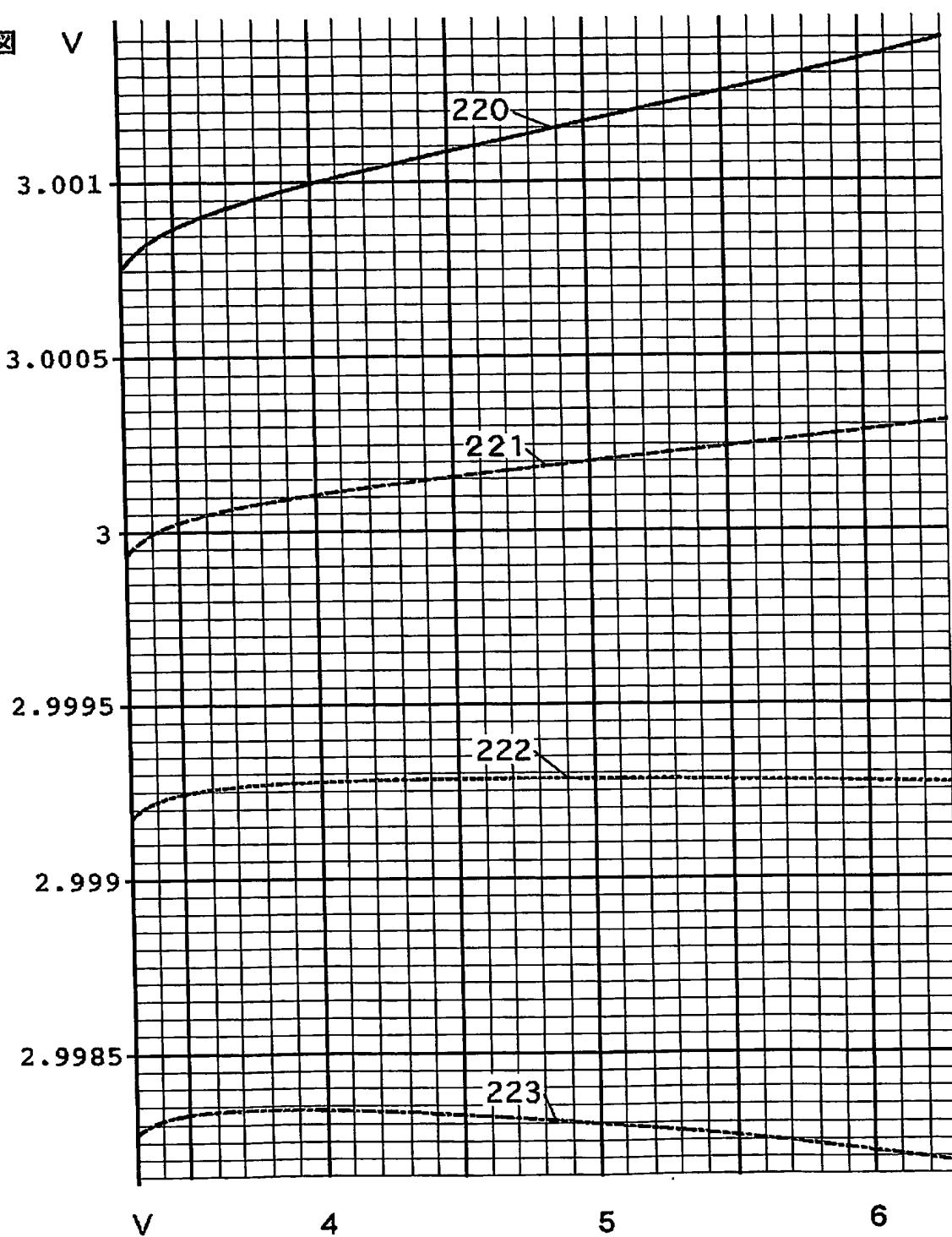


第21圖



22/ 22

第22図 V



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/01655

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G05F1/56

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G05F1/445, 1/56, 1/613, 1/618, H03F3/45

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Toroku Jitsuyo Shinan Koho 1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5552697 A (Linfinity Microelectronics), 03 September, 1996 (03.09.96), Column 3, line 60 to column 5, line 13; Figs. 3, 4 (Family: none)	1
Y	JP 11-122195 A (Sharp Corp.), 30 April, 1999 (30.04.99), Par. Nos. [0015] to [0016]; Figs. 1, 2 (Family: none)	2-5
A	US 4533877 A (AT&T Bell Laboratories), 06 August, 1985 (06.08.85), Full text; Figs. 1 to 3 & JP 60-158708 A	1-5

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
03 June, 2003 (03.06.03)

Date of mailing of the international search report
17 June, 2003 (17.06.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/01655

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 403174 A2 (Oki Electric Industry Co., Ltd.), 19 December, 1990 (19.12.90), Full text; Figs. 1 to 7 & JP 3-13120 A & US 5065111 A	1-5
A	EP 1096671 A1 (Texas Instruments Inc.), 02 May, 2001 (02.05.01), Full text; Figs. 1 to 7 & JP 2001-230637 A	1-5
A	US 6114907 A (National Semiconductor Corp.), 05 September, 2000 (05.09.00), Full text; Figs. 1 to 3 & JP 2000-183671 A & DE 19959180 A1 & TW 431066 B	1-5

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G05F 1/56

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G05F 1/445, 1/56, 1/613, 1/618
H03F 3/45

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2003年
日本国実用新案登録公報	1996-2003年
日本国登録実用新案公報	1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	US 5552697 A (Linfinity Microelectronics) 1996. 09. 03, 第3欄第60行-第5欄第13行, 第3図, 第4図 (ファミリーなし)	1
Y	JP 11-122195 A (シャープ株式会社) 1999. 04. 30, 【0015】-【0016】, 図1, 図2 (ファミリーなし)	2-5
		2-5

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

03.06.03

国際調査報告の発送日

17.06.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

桜田 正紀

3V 2917



電話番号 03-3581-1101 内線 3356

C(続き) . 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
A	US 4533877 A (AT&T Bell Laboratories) 1985. 08. 06, 全文, 第1図—第3図 & JP 60-158708 A	1-5
A	EP 403174 A2 (Oki Electric Industry Co., Ltd.) 1990. 12. 19, 全文, 第1図—第7図 & JP 3-13120 A & US 5065111 A	1-5
A	EP 1096671 A1 (Texas Instruments Incorporated) 2001. 05. 02, 全文, 図1—図7 & JP 2001-230637 A	1-5
A	US 6114907 A (National Semiconductor Corporation) 2000. 09. 05, 全文, 図1—図3 & JP 2000-183671 A & DE 19959180 A1 & TW 431066 B	1-5